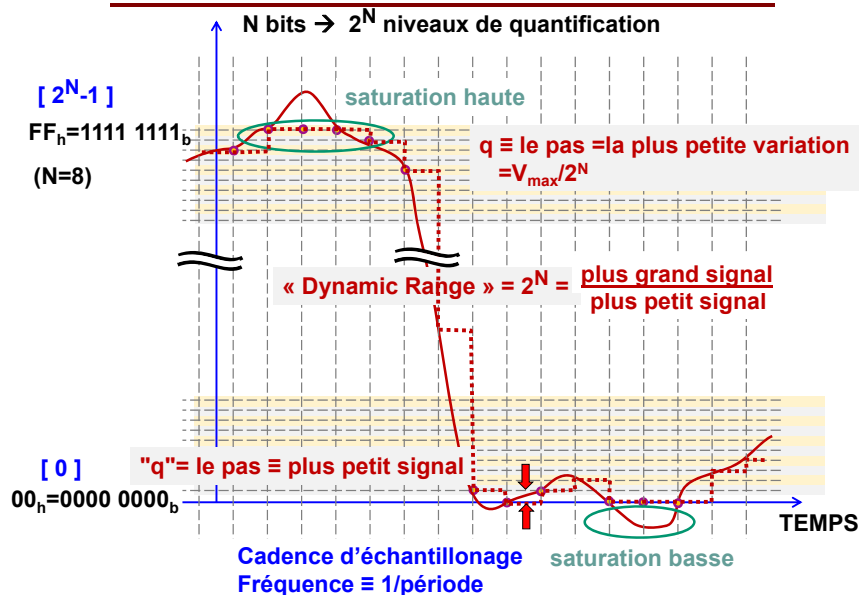
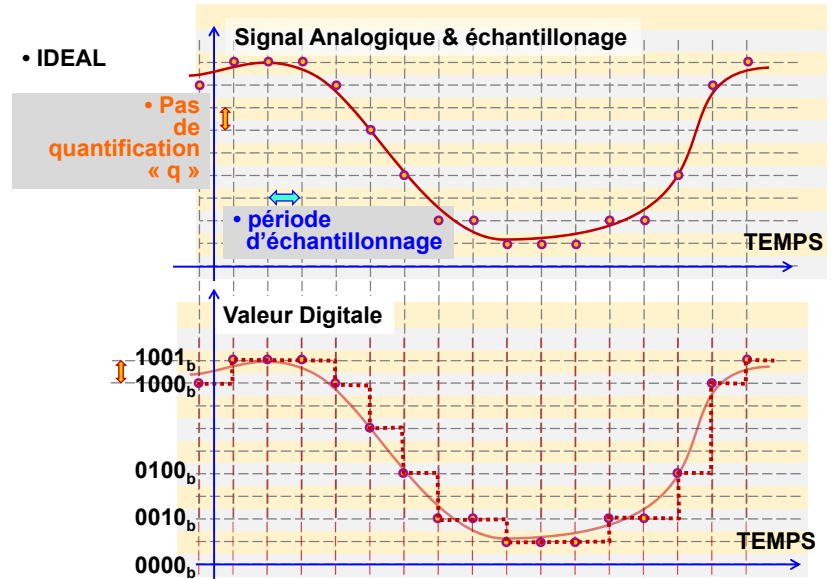
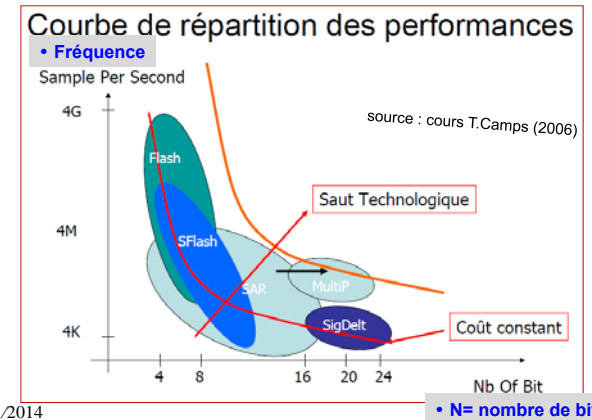


- Définitions
 - pas de quantification et rythme de quantification
 - dynamique $\sim 2^N$
- Vue globale d'une chaîne (capteur → CNA → {DSP+ logique} → CNA ...)
- Fonctionnement CNA du type à réseau de résistance
 - Principe de sources de courants en 2^N
 - Réseau R-2R
 - Non-monotonie (« Glitch »)
- Modulation de largeur de pulse
 - PWM ; Servo-moteurs
- Fonctionnement CAN
 - (rampe)
 - Flash
 - basés sur CNA + approx successives
 - Mixtes Flash/approx
 - « sigma-delta » (mentionné ~non expliqué)
 - Ajout d'un Sample & Hold en entrée
- Bruit de quantification
 - Variance en $q^2/12$



- Surtout pour la conversion Analogique → numérique (la moins triviale)
- Deux difficultés mais aussi deux principaux paramètres pour les choisir :
 - Fréquence
 - N= nombre de bits

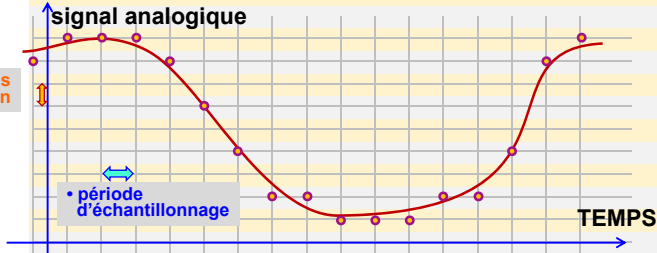


En pratique : le temps de conversion n'est pas nul

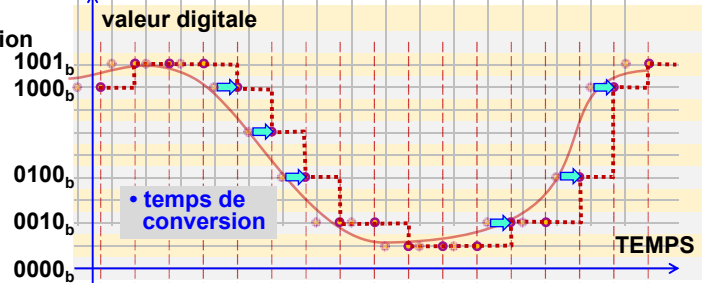
Fraction de la période d'échantillonnage (1%...99%), on y reviendra

• IDEAL

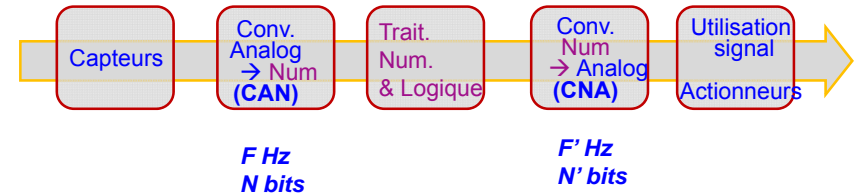
• Pas de quantification



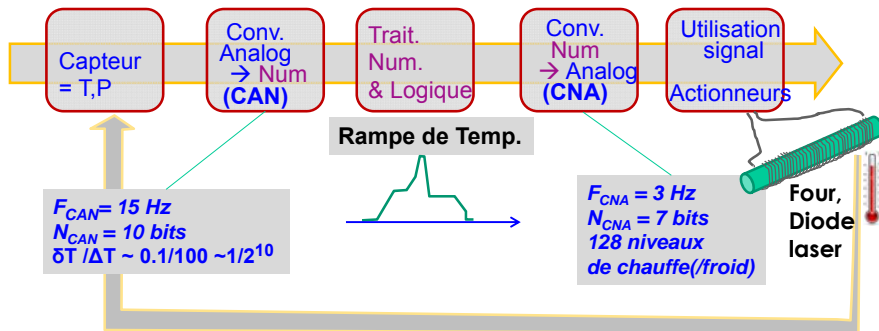
• + Temps de conversion



Vue globale d'une chaîne

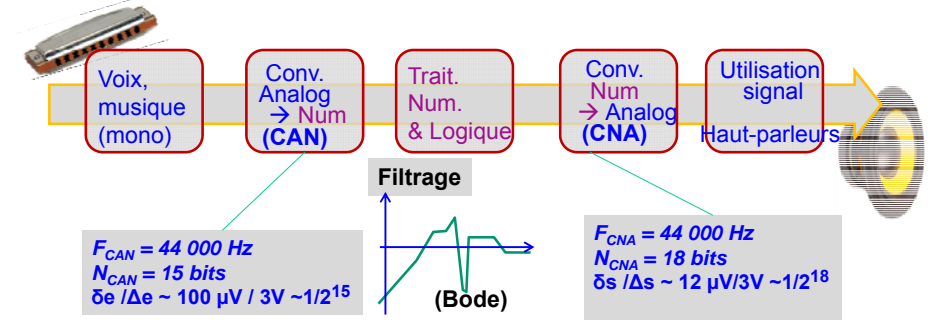


Vue globale d'une chaîne: exemple "régulation"



→ Pas de rapport a priori entre entrée et sortie en termes de **F** et **N**

Vue globale d'une chaîne : exemple "signal"



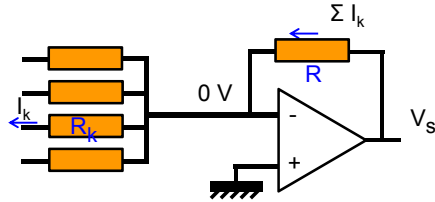
→ **F** doit être essentiellement conservé,
→ **N** peut changer dans une certaine mesure, pour moduler les compromis performances/coûts.

CNA à réseau de résistance

- On doit faire la sommation

$$V = V_{ref} \left(\sum_{k=0}^{N-1} a_k 2^{k-N} \right) \quad \text{avec } a_k = 0 \text{ ou } 1 \text{ et } V_{ref} \approx \text{pleine échelle}$$

- Le sommateur usuel fait une somme de courants : $V_s = R (\sum I_k)$



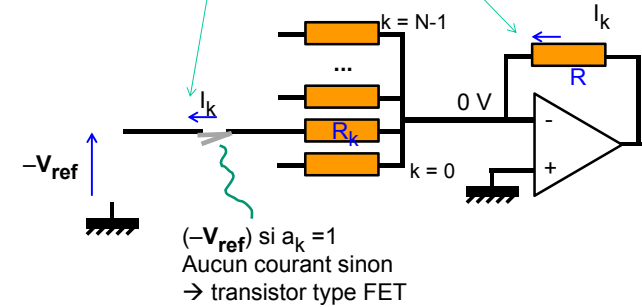
- La k-ième branche avec R_k va servir à faire le k-ième terme: I_k ou 0

CNA à réseau de résistance : version naïve

- $V = V_{ref} \left(\sum_{k=0}^{N-1} a_k 2^{k-N} \right)$ avec $V_{ref} = \text{pleine échelle}$
- un terme = $V_{ref} 2^{k-N} = R I_k$ avec $R \equiv R$ de contre-réaction
- Si on met $-V_{ref}$ [ou 0 V] à gauche de R_k alors « Millman » (loi des noeuds):

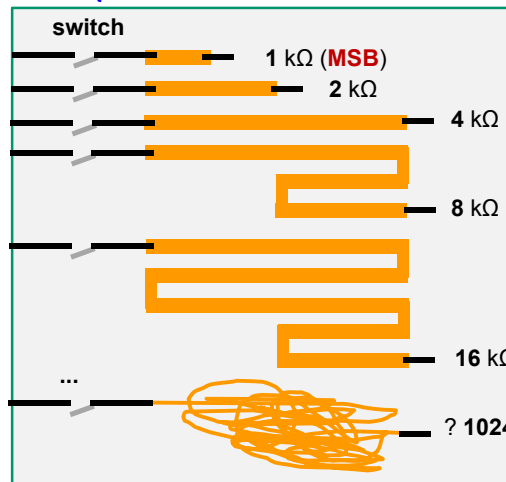
$$(-I_k) = (-V_{ref}) / R_k \text{ et } I_k = (V_{ref} / 2^{k-N}) / R = V_{ref} / (2^{k-N} R) \rightarrow R_k = 2^{k-N} R$$

- Les R doivent donc être en 2^k : $\{ R, 2R, 2^2R, 2^3R, \dots, 2^{N-1}R \} \times 2^{-N}$



CNA à réseau de résistance : difficulté

→ Une résistance sur chip n'est qu'une ligne de Si peu dopée dont longueur L et la largeur ℓ sont ajustées
 { notion de « résistance carrée » de la couche = $\rho L / \ell = (\rho_e)(L/\ell) = R_{\square}(L/\ell)$



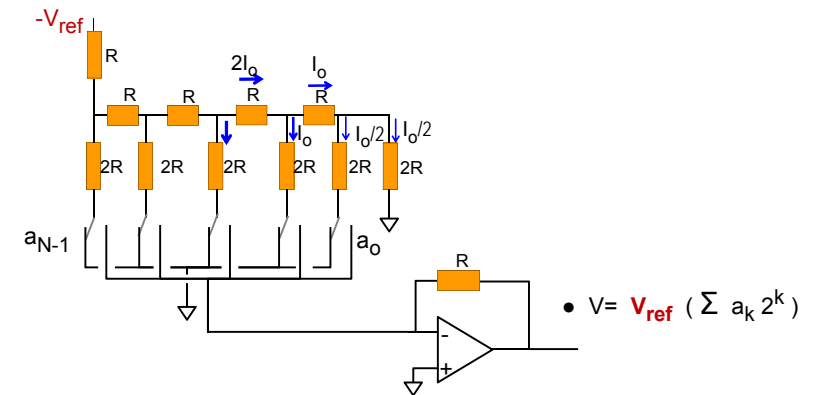
(on peut tenir compte de la résistance résiduelle du switch pour raffiner)

→ goulu en cm^2

→ €↑

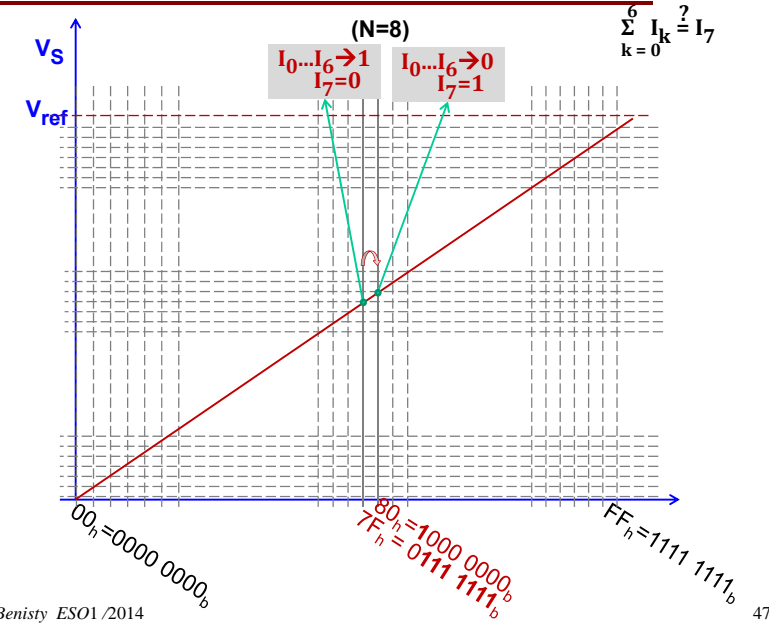
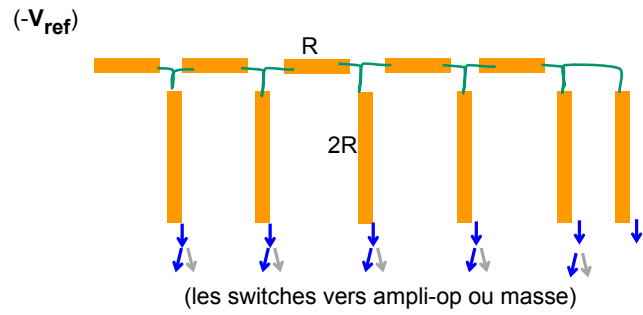
L'astuce du réseau R-2R (1/2)

- Chaque branche est déviée soit vers la masse, soit vers l'entrée « V- » (à 0V !)



- La solution proposée ici assure le doublement du courant à chaque étage (se voit par récurrence, de gauche à droite)
- Ne nécessiterait même pas forcément le ratio $2R/R=2, \dots$ mais restons sages

→ Implémentation physique évidemment simple

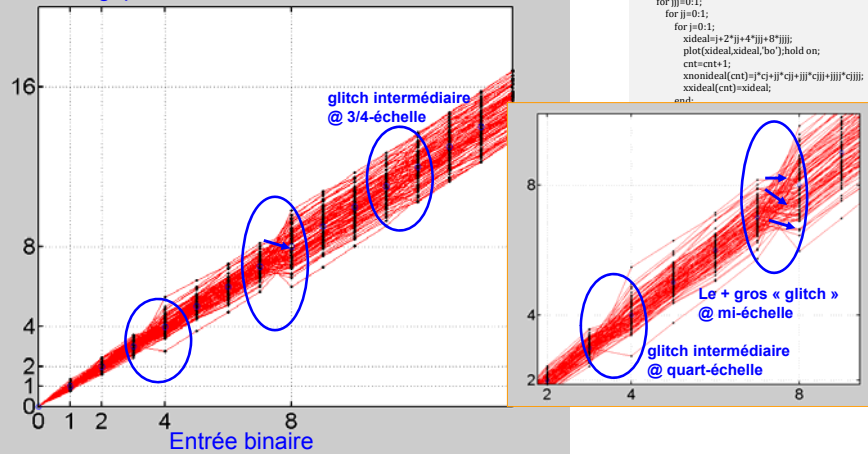


Simulation sur 4 bits

(100 réalisations de 10% d'erreurs aléatoires sur les R_k)

- Risque de non-monotonie aux basculements des MSBs

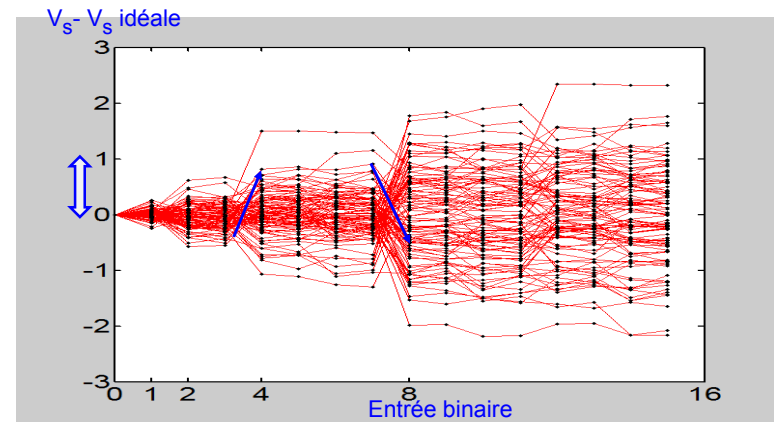
Sortie analogique



```
figure(10);hold off;cla;
errmax=0.1;
for kk=1:100;
    myrand=randn(4,1);
    c1=1+errmax*myrand(1);
    c2=2*(1+errmax*myrand(2));
    c3=4*(1+errmax*myrand(3));
    c4=8*(1+errmax*myrand(4));
    clear x;
    cnt=0;
    for jjj=0:1;
        for jj=0:1;
            for j=0:1;
                xideal+=2^j+4*jj+8*jjj;
                plot(xideal,xideal,'b');hold on;
                cnt=cnt+1;
                xnonideal(cnt)=c1*cj+c2*jj+c3*jjj+c4*jjj;
                xideal(cnt)=xideal;
            end;
        end;
    end;
end;
```

Simulation sur 4 bits : erreur

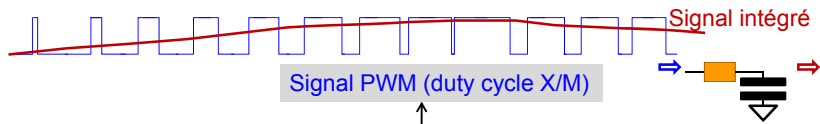
- L'erreur change de signe. Et change de plus que 1 LSB



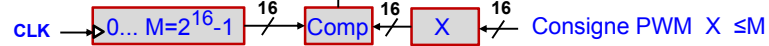
Mode Modulation de largeur d'impulsion (PWM)

→ Modes de commande « analogique à base logique »:

- Modulation de largeur d'impulsion (Pulse Width Modulation, PWM)
Fréquence constante, rapport cyclique variable.



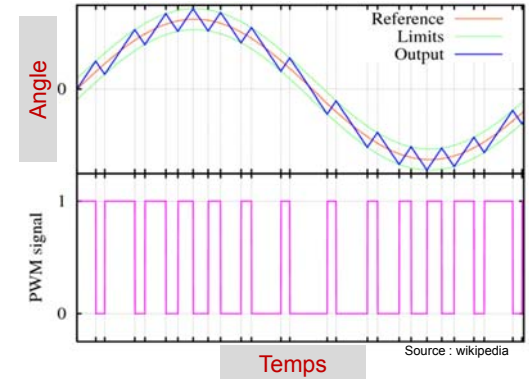
→ Gestion numérique:
par compteur & comparateur ici en 16 bits (sera utilisé en 2A) :



- Exemples

- chauffage → inertie (évite la commutation analogique de puissance, énérgivore)
- Eclairage LED + oeil → persistance rétinienne (la « guirlande variable » de notre « rue »)

- Commandes de servo-moteurs (autre forme de PWM effectif)



Conversion Numérique Analogique

Conv. Num. Analogique= CAN = ADC = Analog-to-Digital Converter

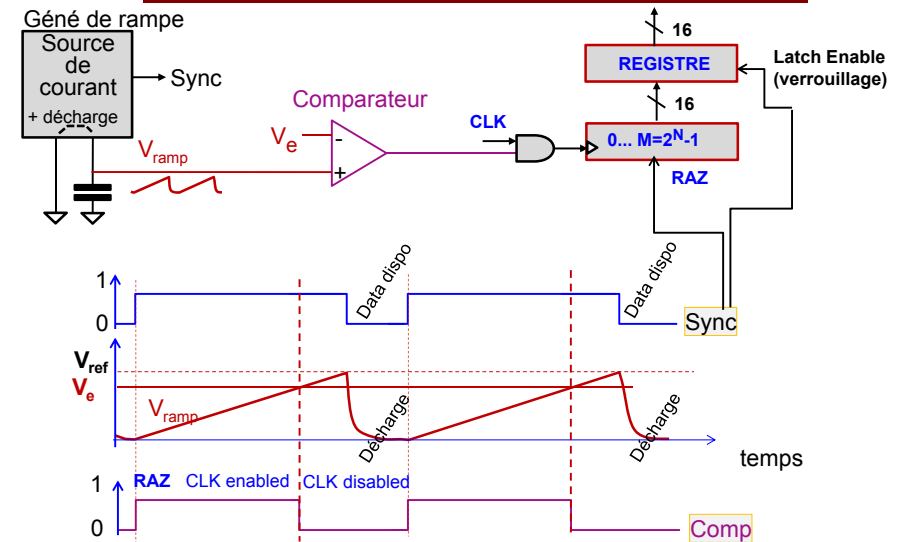
Trois types de CAN présentés ici

- Par rampe et comptage de durée
- Convertisseur Flash
- Convertisseur à approximations successives (SAR : Successive Approximation Register [SAR-ADC])

{ Il existe d'autres types très futés tels le « sigma-delta », ~non traités ici.}

→ Des Compromis : Coût – Rapidité - Précision

Conversion par Rampe & durée (1/2)



Rythme CLK ? 10 bits à 100 kHz → environ 10 MHz

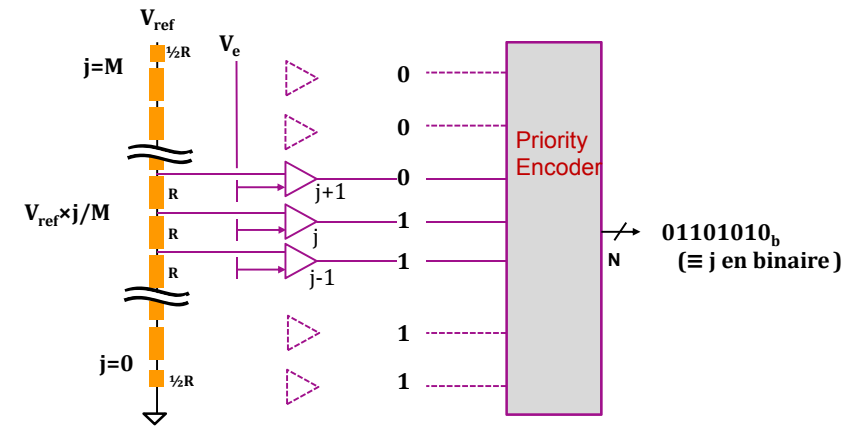
Conversion par Rampe & durée (2/2)

- Inconvénients:
 - relative lentueur,
 - stabilité de la rampe

(dépend d'une capa donc de capa parasites, les capa grosses ne sont pas faciles à intégrer...)
- Avantages:
 - pas de « glitch » (voir SAR...)
 - contrôle des erreurs et dérives accessible

Conversion Flash (1/3)

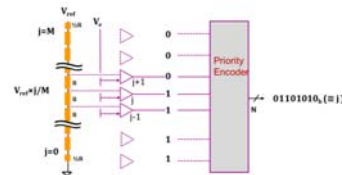
- Principe : échelle fixe de M résistances
 - M tensions & $M=2^N$ comparateurs !



- Centrage des bits extrêmes : $\frac{1}{2}R$ au lieu de R pour ces résistances

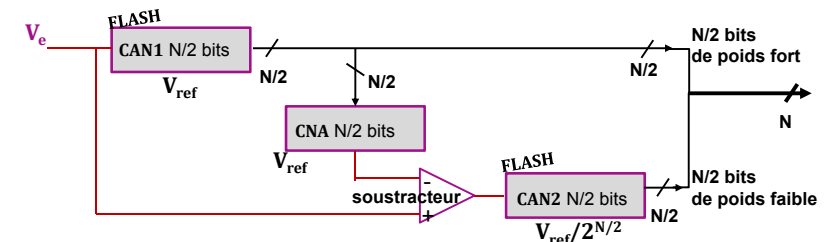
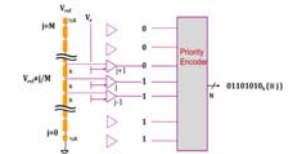
Conversion Flash (2/3)

- Inconvénients :
 - goulu, en énergie et en cm^2
- Avantages :
 - Très rapide (> GHz possible)
 - pas de « glitch » (voir SAR...)
- Incertains :
 - gestion de l'uniformité (... cm^2)
 - de la capa des M entrées (booster le signal)



Conversion Flash (3/3) : améliorations

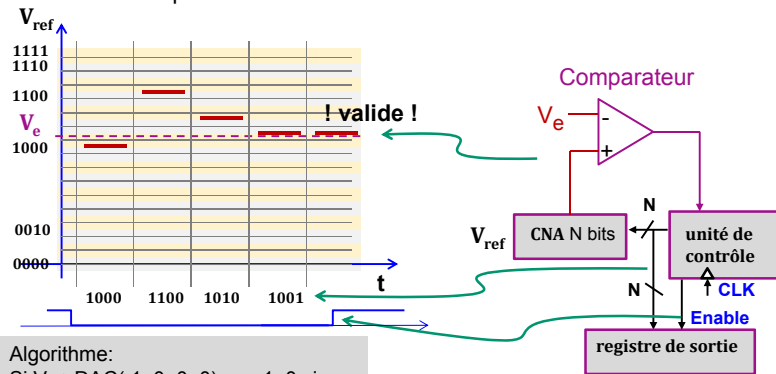
- Amélioration « interne »
 - Gestion des "1" isolés ('erreurs'):
 - Quelques couches de portes supplémentaires ("1" valide ssi "1" en-dessous et "0" au-dessus)
- Amélioration « autour »
 - sur la même puce : gestion des grands flux de données (processing pour avoir: *moyenne, crêtes, filtrage HF*,... cf. les oscillos !)
- Architectures Hybrides $\frac{1}{2}CNA + un\ CAN + \frac{1}{2}CNA + 1\ soustracteur$



Conversion par Approx. Successives [SAR] (1/2)

Utilise un CNA + un algo à N itérations, $N = \log_2(M)$

Exemple N=4 bits



Algorithme:

- Si $V_e > \text{DAC}(1\ 0\ 0\ 0)$, $a_3=1$, 0 sinon
- Si $V_e > \text{DAC}(a_3\ 1\ 0\ 0)$, $a_2=1$, 0 sinon
- Si $V_e > \text{DAC}(a_3\ a_2\ 1\ 0)$, $a_1=1$, 0 sinon
- Si $V_e > \text{DAC}(a_3\ a_2\ a_1\ 0)$, $a_0=1$, 0 sinon

$$\text{ADC}(V_e) = a_3 a_2 a_1 a_0$$

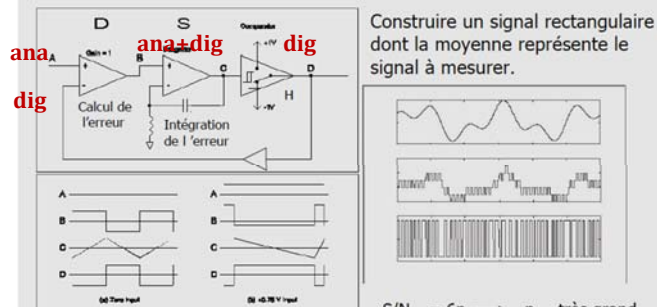
Conversion par Approx Successives (2/2)

- Inconvénients :
 - « Glitch » possible, du au DAC (=CNA)
- Avantages :
 - Assez Rapide
 - La précision n'impacte presque pas la cadence ($N \sim \log(M)$)
- Combinable/Hybridable lui aussi

Le « sigma-delta »... un OVNI même pour nous

- Mais quand même un message à intuer :
il faut prendre le meilleur du digital et de l'analogique
... et des algorithmes itératifs !

Architecture delta-sigma : principe



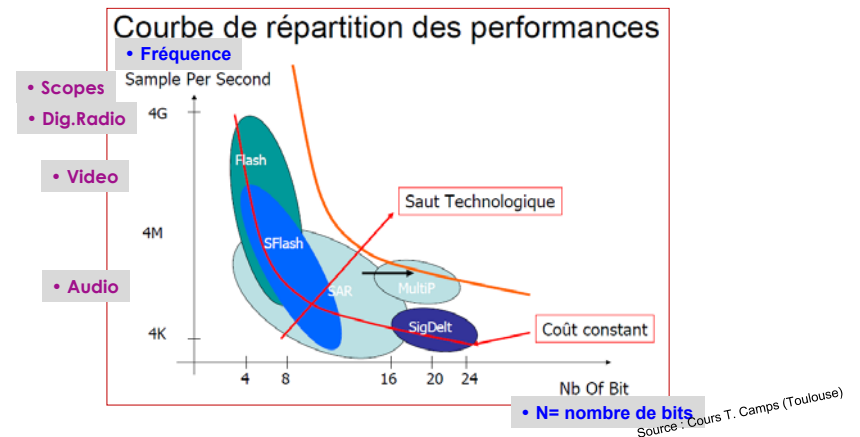
Construire un signal rectangulaire dont la moyenne représente le signal à mesurer.

$$S/N_{dB} = 6n \rightarrow n_{requ} \text{ très grand}$$

Est suivi d'un filtre numérique (dit de décimation)

Source : Cours T. Camps (Toulouse)

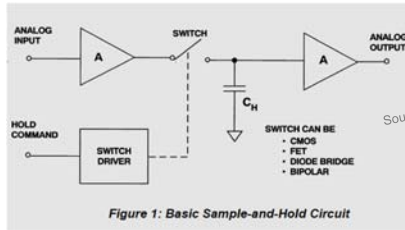
Les performances (2006)



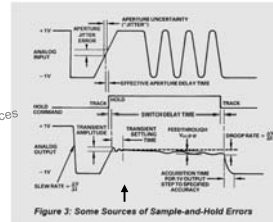
• N = nombre de bits

Source : Cours T. Camps (Toulouse)

- On veut stabiliser le signal pendant le cycle de conversion
- Il faut un « blocage analogique »
- On remplit une capacité et on la « garde au chaud », cela s'appelle « Sample-and-Hold »

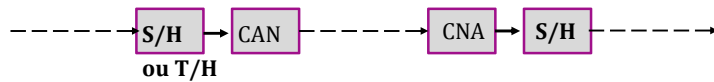


Source : Doc MT-90, Analog Devices



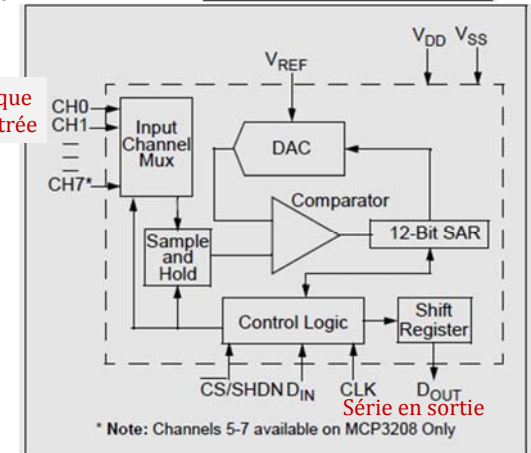
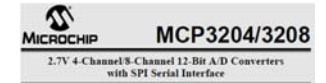
- Bien sûr, c'est un sujet critique dont « on » connaît les finesses

- C'est utilisé pour l'entrée et aussi pour la sortie



2.7V 4-Channel/8-Channel 12-Bit A/D Converters

- 100 ksp/s max. sampling rate at VDD = 5V
- 50 ksp/s max. sampling rate at VDD = 2.7V
- - 400 µA max. active current at 5V



Mesure d'erreur pour codes choisis

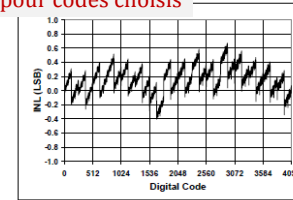
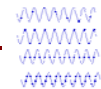
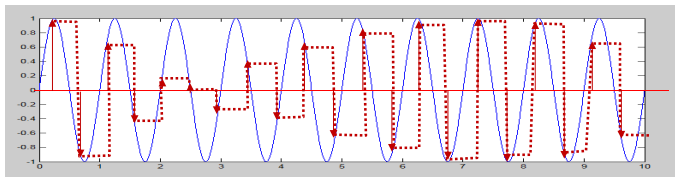


FIGURE 2-3: Integral Nonlinearity (INL) vs. Code (Representative Part).

Côté signal : Shannon, repliement ...



- Echantillonnage à fréquence $f \rightarrow$ Signal vu correctement jusqu'à $f/2$ (th. de Shannon)
 - Au-delà : repliement
 - \rightarrow A éviter \rightarrow Filtrés 'anti-repliement' en entrée ou en sortie
- Noter qu'un signal devient « forcément moche » à l'approche de $f/2$ (dès $f/10$, visuellement)
 - En particulier, à $f_{\text{signal}} \sim f/2$ l'échantillonnage ne voit qu'une phase du signal, pas sa quadrature d'où les effets de battements



Note d'application : ajout de filtre + Vref

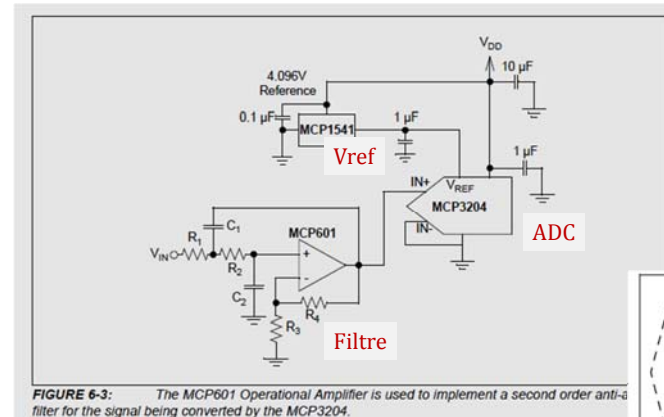


FIGURE 6-3: The MCP601 Operational Amplifier is used to implement a second order anti-alias filter for the signal being converted by the MCP3204.

+ Management des masses à soigner

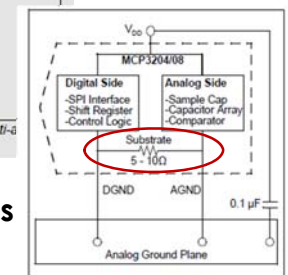


FIGURE 6-5: Separation of Analog and Digital Ground Pins.

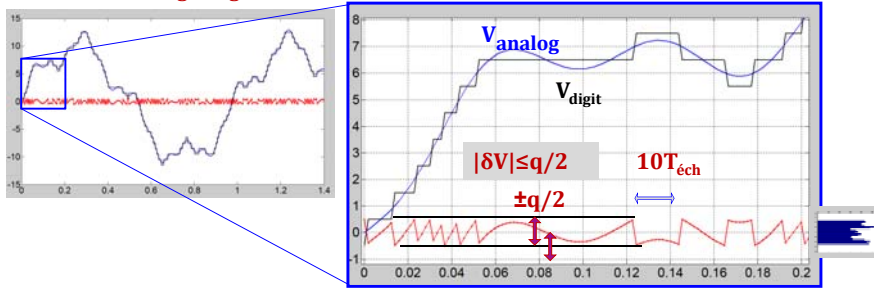
Le Bruit de digitalisation (1/2)

```
t=linspace(0,1.4,800);a=10*sin(2*pi*t)+3*sin(8.5*pi*t).^3;
figure(20);
plot(t,a,'b','t',round(a-0.5)/0.5,'k','t',a-round(a-0.5)/0.5,'r');
grid on;
dV=a-round(a-0.5)/0.5;
hist(dV,-1.225:0.05:1.225)]
```

- Le signal d'erreur

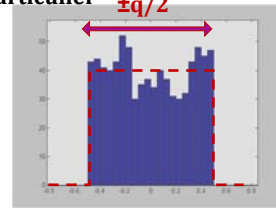
$$\delta V = V_{\text{analog}} - V_{\text{digital}}$$

(ici $q=1$ $|\delta V| \leq 1/2$)



- δV est équiréparti sur $\pm q/2$ (asymptotiquement)
- Quelle est, dans cette limite, la variance de δV ?

- Ici notre cas particulier



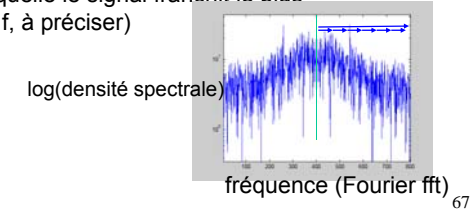
Bruit de digitalisation (2/2) : Variance en $q^2/12$

- Variance de δV ? (barycentre de δV^2)

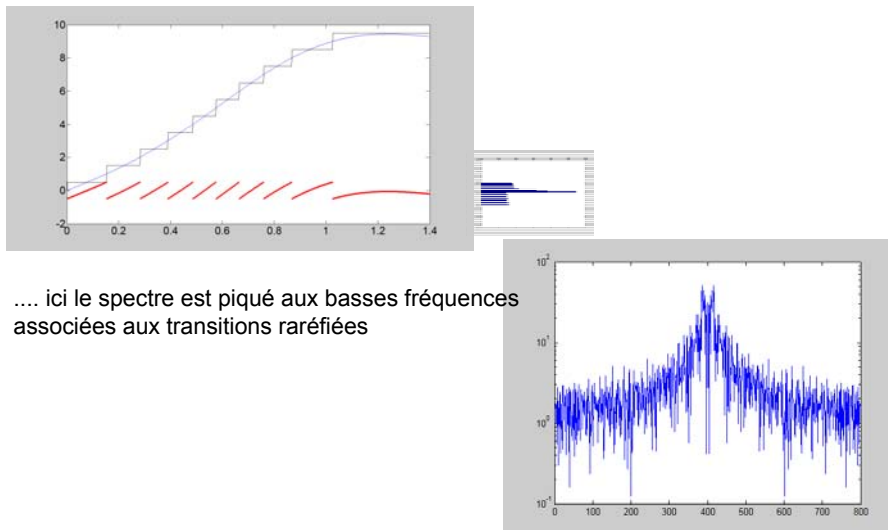
$$\text{var}(\delta V) = \frac{\int_{-q/2}^{q/2} u^2 du}{\int_{-q/2}^{q/2} du} = \frac{1}{q} \left[\frac{u^3}{3} \right]_{-q/2}^{q/2} = \frac{1}{q} \left(\frac{q^3}{24} - \frac{-q^3}{24} \right) = \frac{q^2}{12}$$

- La Variance de δV est donc $q^2/12$
- L'écart-type de δV a pour expression $q/\sqrt{12} \sim 0.29 q$

.... La question suivante est le spectre en fréquence de ce bruit. Il est plutôt fort vers la fréquence à laquelle le signal franchit le plus souvent les niveaux... (ici, 1/6ème de f , à préciser)



Complément bruit : spectre d'un signal lent.



.... ici le spectre est piqué aux basses fréquences associées aux transitions raréfiées

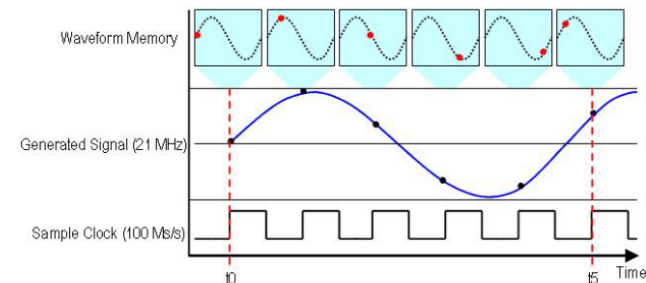
LA CONVERSION CNA AVANCEE : les « DDS »

DIRECT DIGITAL SYNTHESIZER

Probablement au cours 6

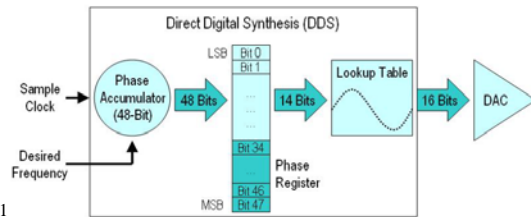
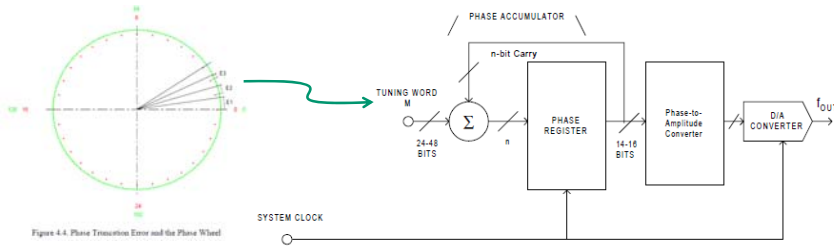
- Comment générer une fréquence incommensurable avec l'horloge de conversion d'un DAC ?

Table de conversion $\cos(\varphi)$ « toute prête » + bonne façon de l'adresser (d'y pêcher)



L'ACCUMULATEUR DE PHASE

- On fabrique l'équivalent de l'angle φ de la construction de Fresnel, avec beaucoup de résolution (48 bits), ce qui permet de choisir finement l'incrément angulaire, donc une fréquence précise sur un grand nb de tours



RESULTAT TRES PRECIS (les GBF des TPs !)

- choix de fréquence à 10^{-12} près ou mieux qqs micro-Hz !
- pureté spectrale du signal

(Wiener Khintchine : DSP \leftrightarrow TF de fct de corrélation)

