

Bloc 1

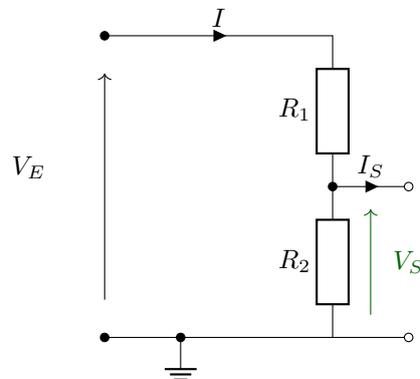
BLOC 1 / CAPTEURS ET MISE EN FORME / CORRECTION

Mission 1.1 - Abaisser une tension

Proposer un circuit permettant d'abaisser une tension d'un facteur k .

$$0 < k < 1$$

Pour r duire une tension, il est possible d'utiliser un **pont diviseur de tension**, bas  sur l'utilisation de 2 r sistances en s rie comme propos  dans le sch ma suivant.



Pour le calcul, on peut s'int resser au courant I en  crivant deux lois des mailles diff rentes :

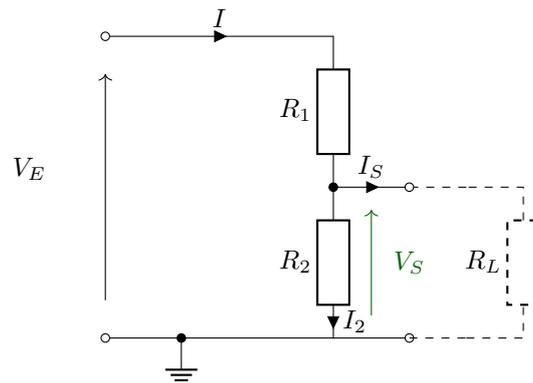
1. $V_E - R_1 \cdot I - R_2 \cdot I = 0$
2. $V_S - R_2 \cdot I = 0$

Cela suppose que l'on consid re que le courant $I_S = 0$.

En combinant les deux, on obtient la relation entre V_E et V_S suivante :

$$V_S = V_E \cdot \frac{R_2}{R_1 + R_2}$$

Si on suppose maintenant que le circuit précédent est chargé par une résistance R_L , on obtient alors le montage suivant :



Dans ce cas, le courant I_S n'est plus nul.

Le courant I traversant R_1 va alors se partager entre R_2 et R_L . On aura alors la seconde loi des mailles écrites précédemment qui ne sera plus valide.

On peut alors écrire les relations suivantes :

1. loi des mailles : $V_E - R_1 \cdot I + V_S$
2. loi des mailles : $V_S - R_L \cdot I_S = 0$
3. loi des noeuds : $I = I_S + I_2$
4. loi des mailles : $V_S - R_2 \cdot I_2 = 0$

Après regroupement et simplification, on obtient la relation suivante :

$$V_S = V_E \cdot \frac{R_{eq}}{R_1 + R_{eq}}$$

avec $R_{eq} = \frac{R_2 \cdot R_L}{R_2 + R_L}$ (mise en parallèle de R_2 et R_L).

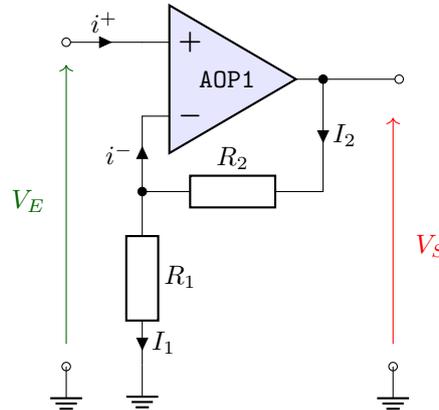
Mission 1.2 - Élever une tension

Proposer un circuit permettant d'élever une tension d'un facteur k .

$$k > 1$$

Pour pouvoir élever une tension, il est nécessaire d'**apporter de l'énergie au montage**. Une solution possible est l'utilisation d'un amplificateur opérationnel (ou amplificateur linéaire intégré - ALI).

On peut par exemple utiliser un montage de type amplificateur non-inverseur dont le schéma est fourni ci-dessous :



Pour pouvoir faire le calcul de la fonction de transfert entre V_S et V_E , il est nécessaire de faire **quelques hypothèses**.

La **première** vient du fait que les impédances d'entrée de tel amplificateur sont relativement grandes par rapport aux impédances des composants extérieurs (R_1 et R_2 ici). Les courants d'entrée i^+ et i^- peuvent alors être négligés et considérés nuls.

La **seconde** hypothèse vient ici du fait que l'amplificateur a sa sortie rebouclé avec l'entrée inverseuse (-) par l'intermédiaire d'une résistance. Dans ce cas, on considère que le montage est en **fonctionnement dit linéaire**. Ainsi, on peut montrer que la différence de potentiel entre V^+ et V^- tend vers 0. On peut alors considérer dans ce régime de fonctionnement, que $V^+ = V^-$.

Il est alors possible par les lois habituelles de calculer le lien entre V_S et V_E .

D'après la première hypothèse, on obtient que $I_1 = I_2$.

D'après la seconde hypothèse, on obtient que $V^- = V_E$.

En calculant le courant I_1 par la loi d'Ohm aux bornes de R_1 , on obtient : $I_1 = \frac{V_E}{R_1}$.

De la même manière, on obtient : $I_2 = \frac{V_S - V_E}{R_2}$.

Après simplification, on obtient alors la fonction de transfert suivante :

$$V_S = V_E \cdot \frac{R_1 + R_2}{R_1}$$

Attention ! Cette loi n'est cependant vraie qu'en basse fréquence et pour des tensions d'entrée faibles.

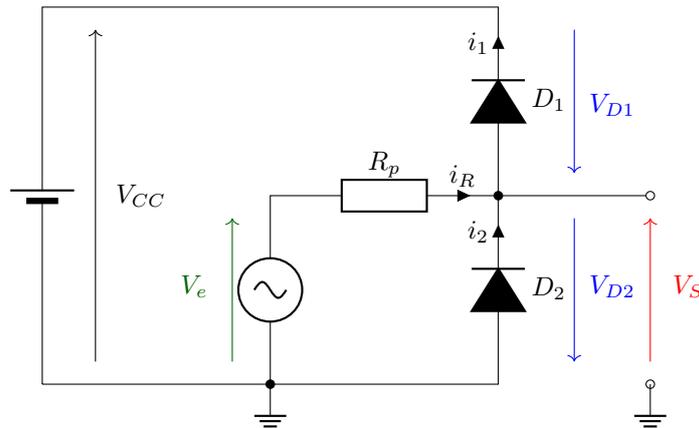
En effet, les amplificateurs linéaires intégrés sont des composants qui peuvent se modéliser comme un système de type **passé-bas**.

De plus, ils nécessitent d'être alimentés et lorsque la tension de sortie tend à dépasser la tension d'alimentation, on peut observer un **phénomène de saturation**.

Mission 1.3 - Limiter une tension

Rappeler le fonctionnement d'une diode.

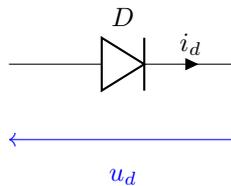
Décrire le fonctionnement du montage suivant :



Loi des mailles du circuit :

1. $V_{CC} + V_{D1} + R_p \cdot i_R - V_E = 0$
2. $-V_{D2} + R_p \cdot i_R - V_e = 0$
3. $V_{D2} = -V_S$

Les éléments D_1 et D_2 ont des caractéristiques tension-courant non linéaires.



On peut modéliser les diodes de la manière suivante :

- si $u_D > V_F$, $i_d > 0$ et $u_d = V_F$
- sinon $i_d = 0$

V_F est la tension directe (*forward*) qui est un seuil de conduction dépendant du matériau utilisé. Cette valeur est fournie par le constructeur.

Montage

Comme il y a 2 éléments non linéaires dans le montage à étudier (et comme il y a peu de chance que les deux éléments conduisent ou soient bloquées en même temps), il y a 4 cas à traiter.

Nous allons partir d'une hypothèse sur la conduction des deux éléments et déterminer par la suite dans quelles conditions il est possible d'atteindre cet état.

CAS 1 D_1 et D_2 bloquées.

On a $i_1 = i_2 = 0$. Par la loi des noeuds entre les diodes on peut aussi en déduire que $i_r = i_1 + i_2 = 0$.

Ainsi, les lois des mailles 2 et 3 donnent : $V_S = V_E$.

Pour être dans ce cas, il est impératif de vérifier les conditions suivantes : $V_{D1} < V_F$ (a) et $V_{D2} < V_F$ (b) (où V_F est la tension seuil de conduction des diodes).

Cas (a)

$V_{D1} = V_E - V_{CC} - R_p \cdot i_R$ d'après 1

Ainsi $V_{D1} < V_F$ entraîne $V_E - V_{CC} < V_F$ et donc

$$V_E < V_{CC} + V_F$$

Cas (b)

$V_{D2} = -V_E + R_p \cdot i_R$ d'après 2

Ainsi $V_{D2} < V_F$ entraîne $-V_E < V_F$ et donc

$$V_E > -V_F$$

Pour résumé, lorsque $-V_F < V_e < V_{CC} + V_F$, les deux diodes sont bloquées et $V_S = V_E$.

CAS 2 D_1 bloquée et D_2 passante

On a $i_1 = 0$ mais $i_2 \neq 0$. Par la loi des noeuds entre les diodes on peut aussi en déduire que $i_r = -i_2$.

De plus, $V_{D2} = V_F$. D'après 3, on a alors

$$V_S = -V_F$$

Cette condition est réalisée lorsque $V_{D2} > V_F$, ce qui entraîne $-V_E > V_F$ et donc

$$V_E < -V_F$$

On peut vérifier que dans cette condition, D_1 est bien bloquée.

CAS 3 D_1 passante et D_2 bloquée

On a $i_1 \neq 0$ mais $i_2 = 0$. Par la loi des noeuds entre les diodes on peut aussi en déduire que $i_r = i_1$.

De plus, $V_{D1} = V_F$. D'après 1, on a alors

$$V_S = V_{CC} + V_F$$

Cette condition est réalisée lorsque $V_{D1} > V_F$, ce qui entraîne $V_E - V_{CC} > V_F$ et donc

$$V_E > V_{CC} + V_F$$

On peut également vérifier que dans cette condition, D_2 est bien bloquée.

CAS 4 D_1 et D_2 passantes

Ce cas est impossible, d'après les conditions calculées dans le cas 1 (si V_{CC} est strictement positif).

Mission 1.4 - Amplifier un signal

Proposer un circuit permettant d'amplifier un signal de 27 dB, tout en garantissant une bande-passante de 400 kHz.

On utilisera des amplificateurs linéaires intégrés de type TL071 (documentation partielle donnée en annexe).

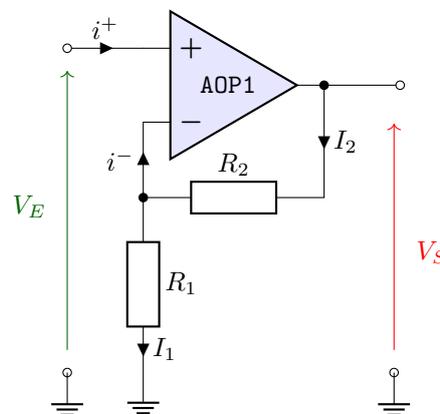
On cherche ici à amplifier un signal d'un gain de 27 dB.

Le gain en décibel G_{dB} est exprimé de la façon suivante en fonction de l'amplification en tension A_F :
 $G_{dB} = 20 \cdot \log(A_F)$.

Il faut dans ce cas une amplification $A_F = 10^{27/20} \approx 22.4 \text{ V/V}$.

Il est possible pour cela d'utiliser une structure de type **amplificateur non-inverseur** basé sur un **amplificateur linéaire intégré** ou ALI (de type TL071 comme demandé dans l'énoncé).

Le schéma de base est le suivant :



D'après les calculs réalisés dans la mission 1.2, on obtient alors la fonction de transfert suivante :

$$V_S = V_E \cdot \frac{R_1 + R_2}{R_1}$$

Il est alors possible de calculer le rapport $\frac{R_1 + R_2}{R_1}$ en fonction de la valeur d'amplification A_F trouvée.

Limites des ALI

Cependant, si on s'intéresse aux paramètres importants (et limitants) d'un amplificateur linéaire intégré, il existe deux limites importantes :

- la **tension d'alimentation** de l'ALI, qui va impacter la tension maximale admissible en sortie du système. $V_{CC-} < V_S < V_{CC+}$. D'après le *tableau 6.1* de la documentation, on peut noter que l'ALI doit être alimenté de manière symétrique entre -18V et +18V maximum.
- le **produit gain bande-passante** (GBP ou GBW), qui va limiter la bande-passante du système. En effet, les ALI peuvent être modélisés par un système de type passe-bas dont la fréquence de coupure est liée à l'amplification par la relation suivante : $A_F \cdot BP = B_1$ (B_1 correspond à la bande-passante pour un gain unitaire, donc au produit gain bande-passante). B_1 est donnée dans le *tableau 6.6* de la documentation et vaut 3 MHz.

Il est possible de calculer la bande passante théorique du système qu'on cherche à développer autour d'un ALI de type TL071 connaissant B_1 et l'amplification recherchée A_F .

Ici, on s'aperçoit que la fréquence maximale atteignable dans ces conditions est de $BP = B_1/A_F = 133 \text{ kHz}$, donc insuffisante pour le cahier des charges imposé.

L'amplification maximale atteignable pour ce montage afin de respecter une bande passante de 400 kHz est de $A_{MAX} = B_1/BP \approx 7.5 \text{ V/V}$.

Mise en cascade

Pour pouvoir remplir le cahier des charges, il va alors falloir décomposer le système en plusieurs étages.

Ainsi, il est possible de mettre en cascade deux amplificateurs du type précédent. L'amplification totale est alors le produit des deux amplifications. $A_F = A_1 \cdot A_2$. En simplifiant et en prenant $A_1 = A_2$, on en déduit que chaque amplificateur doit avoir une amplification de $A_1 = \sqrt{A_F} \approx 4.7 < A_{MAX}$.

Ainsi, on obtiendra bien un gain de 27 dB et une bande passante d'au moins 400 kHz (calculée à $BP = B_1/A_1 = 638$ kHz).

Choix des valeurs des résistances

Le calcul précédent impose que pour chaque étage amplificateur : $\frac{R_1+R_2}{R_1} = 4.7$. Mais il manque une donnée pour pouvoir évaluer les deux inconnues R_1 et R_2 .

Cette seconde « équation » est imposée

- d'une part par une hypothèse émise concernant les courants d'entrée, que l'on a considéré comme nul, et donc par l'impédance d'entrée des ALI, qu'on notera Z_{ALI} .
- d'autre part par une volonté que notre système consomme le moins possible. En effet, plus les résistances R_1 et R_2 seront faibles (pour un même potentiel imposé), plus le courant les traversant sera élevé.

D'après le tableau 6.6 de la documentation de l'ALI, on trouve que $Z_{ALI} \approx 10^{12} \Omega$. Il faut donc que $R_1 + R_2 \ll Z_{ALI}$ pour pouvoir négliger le courant qui rentrera dans l'ALI par rapport à celui traversant ces résistances.

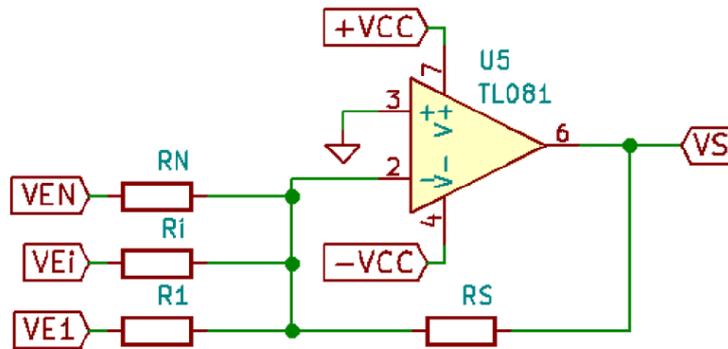
Pour le second point, il faut tabler sur des courants compris entre 100 nA et 1 mA traversant les résistances R_1 et R_2 .

Pour des tensions d'environ 10 V aux bornes de ces résistances, une résistance de 10 k Ω générera un courant $I = 1$ mA.

Les résistances R_1 et R_2 doivent donc être choisies autour de 10 k Ω .

Mission 1.5 - Additionner des signaux

On se propose d'étudier le circuit suivant :



On fera les hypothèses suivantes :

- **fonctionnement linéaire**, car rebouclage entre la sortie et l'entrée inverseuse par la résistance R_S , ainsi $V^+ = V^-$;
- **amplificateur parfait**, ainsi $i^+ = i^- = 0$.

Noeud en V^- $I_S + I_1 + I_i + I_n = 0$

On supposera les courants positifs ceux venant de l'extérieur du montage.

Calcul des courants par la loi d'Ohm

De plus $V^+ = 0$, ainsi $V^- = 0$.

$$I_S = \frac{V_S - V^-}{R_S} = \frac{V_S}{R_S}$$

$$I_1 = \frac{V_1 - V^-}{R_1} = \frac{V_1}{R_1}$$

$$I_i = \frac{V_i - V^-}{R_i} = \frac{V_i}{R_i}$$

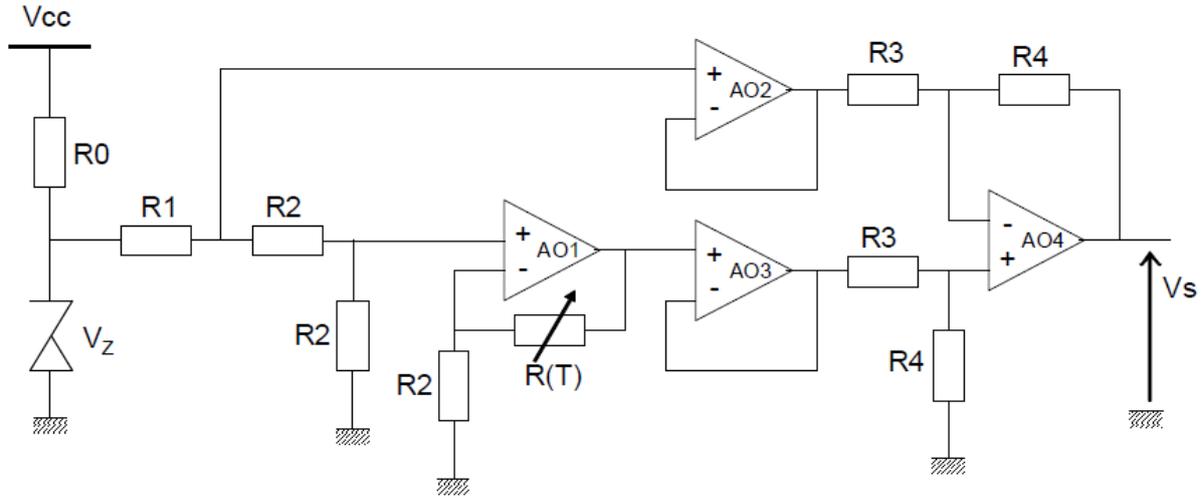
$$I_n = \frac{V_N - V^-}{R_N} = \frac{V_N}{R_N}$$

Après simplification (et généralisation) on obtient alors :

$$V_S = -R_S \cdot \sum_{i=1}^N \frac{V_i}{R_i}$$

Mission 1.6 - Mettre en forme un capteur de température

On se propose d'étudier le circuit suivant :



La thermistance utilisée est de type PT100. La relation entre sa résistance (en Ohms) et la température (en °C) est la suivante :

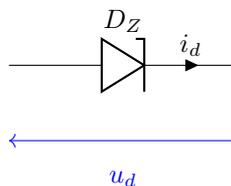
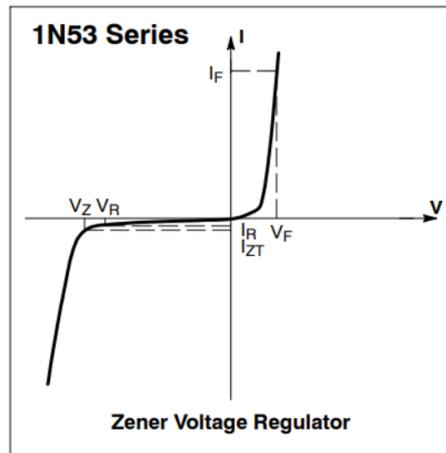
$$R(T) = 100 (1 + 3.90810^{-3}T - 5.80210^{-7}T^2)$$

Une partie de la documentation de diodes Zener est fournie en annexe.

Diode Zener

On s'intéresse dans un premier temps à la tension en sortie du montage basé sur la diode Zener.

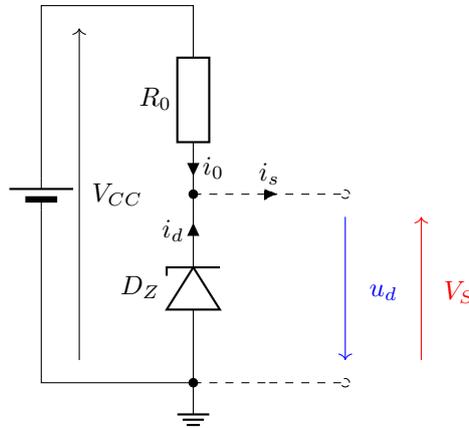
Une diode Zener est un composant non linéaire, qui possède deux zones « passantes », contrairement à des diodes de signal plus classiques qui ne possède qu'une zone « passante » pour des tensions positives (voir caractéristique ci-dessous).



Il existe alors deux limites de conduction :

- si $u_d > V_F$, alors $i_d > 0$ (sens direct)
- si $u_d < -V_Z$, alors $i_d < 0$ (sens Zener)
- sinon $i_d = 0$

Montage Zener



Loi des mailles : $V_{CC} - R_0 \cdot i_0 + u_d = 0$

Ainsi : $u_d = R_0 \cdot i_0 - V_{CC}$

Cas 1 (sens direct)

Pour que la diode soit passante dans le sens direct, il faut que $u_d > V_F$, c'est à dire que $R_0 \cdot i_0 - V_{CC} > V_F$.

On obtient alors, à la limite de conduction (lorsque $i_0 = 0^+$), la condition que $V_{CC} < -V_F$.

Par principe V_{CC} sera positif. Ce cas est donc impossible.

Cas 2 (sens Zener)

Pour que la diode soit passante dans le sens Zener, il faut que $u_d < -V_Z$, c'est à dire que $R_0 \cdot i_0 - V_{CC} < -V_Z$.

On obtient alors, à la limite de conduction (lorsque $i_0 = 0^+$), la condition que $V_{CC} > V_Z$. Dans cette condition, $u_d = -V_Z$ et donc $V_S = -u_d = V_Z$!

Dans cette condition, la tension V_S de ce montage est (quasi) constante et égale à la tension Zener.

On obtient un **régulateur de tension**.

Etude du montage

Pour étudier ce circuit, on commence par **décomposer en blocs** plus facilement calculables, en partant du signal de sortie.

De manière générale, chaque amplificateur linéaire (ALI) correspond à un montage particulier. Il peut donc être intéressant d'identifier les montages associés à chaque ALI.

Ici, on peut décomposer de cette façon :

- Autour de l'AO4 : amplificateur différentiel
- Autour des AO2 et AO3 : suiveur / découplage
- Autour de l'AO1 : montage linéaire de type amplificateur / tension de sortie dépendante de la température
- Autour de la diode Zener : tension de référence

AO1

Hypothèse classique : fonctionnement linéaire ($V^+ = V^-$) et ALI parfait ($i^+ = i^- = 0$).

$V^+ = V_Z \cdot R_2 / (R_1 + 2R_2)$ et $V^- = V_1 \cdot R_2 / (R_2 + R(T))$, alors :

$$V_1 = V_Z \cdot \frac{R_2}{R_1 + 2R_2} \cdot \frac{R_2 + R(T)}{R_2} = V_Z \cdot \frac{R_2 + R(T)}{R_1 + 2R_2}$$

AO2 : suiveur / diviseur de tension

$$V_2 = V_Z \cdot \frac{2 \cdot R_2}{R_1 + 2R_2}$$

AO3 : suiveur

$$V_3 = V_1$$

AO4

$$V_- = (V_S/R_4 + V_2/R_3)/(1/R_3 + 1/R_4) \text{ (Millmann)}$$

$$V_+ = V_3 \cdot R_4/(R_3 + R_4)$$

On a alors :

$$V_S = (V_3 - V_2) \cdot \frac{R_4}{R_3}$$

Montage complet

$$V_S = V_Z \cdot \frac{R_4}{R_3} \cdot \frac{R(T) - R_2}{R_1 + 2R_2}$$

$$V_S = V_Z \cdot \frac{R_4}{R_3} \cdot \frac{R_2}{R_1 + 2R_2} \cdot \left(\frac{R(T)}{R_2} - 1\right)$$

Lorsque $T < 0$, $R(T) < R_2$ et donc $V_S < 0$. Alimentation symétrique indispensable.

TL08xx JFET-Input Operational Amplifiers

1 Features

- Low Power Consumption: 1.4 mA/ch Typical
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias Current: 30 pA Typical
- Low Input Offset Current: 5 pA Typical
- Output Short-Circuit Protection
- Low Total Harmonic Distortion: 0.003% Typical
- High Input Impedance: JFET Input Stage
- Latch-Up-Free Operation
- High Slew Rate: 13 V/ μ s Typical
- Common-Mode Input Voltage Range Includes V_{CC+}

2 Applications

- Tablets
- White goods
- Personal electronics
- Computers

3 Description

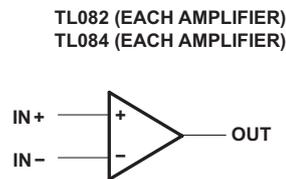
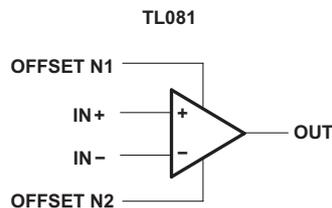
The TL08xx JFET-input operational amplifier family is designed to offer a wider selection than any previously developed operational amplifier family. Each of these JFET-input operational amplifiers incorporates well-matched, high-voltage JFET and bipolar transistors in a monolithic integrated circuit. The devices feature high slew rates, low input bias and offset currents, and low offset-voltage temperature coefficient.

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
TL084xD	SOIC (14)	8.65 mm × 3.91 mm
TL08xxFK	LCCC (20)	8.89 mm × 8.89 mm
TL084xJ	CDIP (14)	19.56 mm × 6.92 mm
TL084xN	PDIP (14)	19.3 mm × 6.35 mm
TL084xNS	SO (14)	10.3 mm × 5.3 mm
TL084xPW	TSSOP (14)	5.0 mm × 4.4 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

Schematic Symbol



6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT	
V _{CC+}	Supply voltage ⁽²⁾	18		V	
V _{CC-}		-18			
V _{ID}	Differential input voltage ⁽³⁾	±30		V	
V _I	Input voltage ⁽²⁾⁽⁴⁾	±15		V	
Duration of output short circuit ⁽⁵⁾		Unlimited			
Continuous total power dissipation		See Dissipation Rating Table			
T _A	Operating free-air temperature	TL08_C TL08_AC TL08_BC	0	70	°C
		TL08_I	-40	85	
		TL084Q	-40	125	
		TL08_M	-55	125	
Operating virtual junction temperature		150		°C	
T _C	Case temperature for 60 seconds	FK package	TL08_M		°C
	Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	J or JG package	TL08_M		
T _{stg}	Storage temperature		-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values, except differential voltages, are with respect to the midpoint between V_{CC+} and V_{CC-}.
- (3) Differential voltages are at IN+, with respect to IN-.
- (4) The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 V, whichever is less.
- (5) The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

6.2 ESD Ratings

		VALUE	UNIT	
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	1000	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	1500	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

6.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	MAX	UNIT	
V _{CC+}	Supply voltage	5	15	V	
V _{CC-}	Supply voltage	-5	-15	V	
V _{CM}	Common-mode voltage	V _{CC-} + 4	V _{CC+} - 4	V	
T _A	Ambient temperature	TL08xM	-55	125	°C
		TL08xQ	-40	125	
		TL08xI	-40	85	
		TL08xC	0	70	

Electrical Characteristics for TL08xC, TL08xxC, and TL08xl (continued)

 $V_{CC\pm} = \pm 15\text{ V}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	$T_A^{(1)}$	TL081C, TL082C, TL084C			TL081AC, TL082AC, TL084AC			TL081BC, TL082BC, TL084BC			TL081I, TL082I, TL084I			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
I_{CC}	Supply current (each amplifier)	$V_O = 0$, No load	25°C	1.4	2.8	1.4	2.8	1.4	2.8	1.4	2.8	1.4	2.8	mA	
V_{O1}/V_{O2}	Crosstalk attenuation	$A_{VD} = 100$	25°C	120		120		120		120		120		dB	

6.6 Electrical Characteristics for TL08xM and TL084x

 $V_{CC\pm} = \pm 15\text{ V}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS ⁽¹⁾	T_A	TL081M, TL082M			TL084Q, TL084M			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO}	Input offset voltage	$V_O = 0$, $R_S = 50\ \Omega$	25°C	3	6	3	9	mV	
			Full range		9	15			
α_{VIO}	Temperature coefficient of input offset voltage	$V_O = 0$, $R_S = 50\ \Omega$	Full range	18	18	$\mu\text{V}/^\circ\text{C}$			
I_{IO}	Input offset current ⁽²⁾	$V_O = 0$	25°C	5	100	5	100	pA	
			125°C	20	20	nA			
I_{IB}	Input bias current ⁽²⁾	$V_O = 0$	25°C	30	200	30	200	pA	
			125°C	50	50	nA			
V_{ICR}	Common-mode input voltage range	25°C	± 11	-12 to 15	± 11	-12 to 15	V		
V_{OM}	Maximum peak output voltage swing	$R_L = 10\ \text{k}\Omega$	25°C	± 12	± 13.5	± 12	± 13.5	V	
		$R_L \geq 10\ \text{k}\Omega$	Full range	± 12		± 12			
		$R_L \geq 2\ \text{k}\Omega$		± 10	± 12	± 10	± 12		
A_{VD}	Large-signal differential voltage amplification	$V_O = \pm 10\ \text{V}$, $R_L \geq 2\ \text{k}\Omega$	25°C	25	200	25	200	V/mV	
			Full range	15	15				
B_1	Unity-gain bandwidth	25°C	3	3	MHz				
r_i	Input resistance	25°C	10^{12}	10^{12}	Ω				
CMRR	Common-mode rejection ratio	$V_{IC} = V_{ICRmin}$, $V_O = 0$, $R_S = 50\ \Omega$	25°C	80	86	80	86	dB	
k_{SVR}	Supply-voltage rejection ratio ($\Delta V_{CC\pm}/\Delta V_{IO}$)	$V_{CC} = \pm 15\ \text{V}$ to $\pm 9\ \text{V}$, $V_O = 0$, $R_S = 50\ \Omega$	25°C	80	86	80	86	dB	
I_{CC}	Supply current (each amplifier)	$V_O = 0$, No load	25°C	1.4	2.8	1.4	2.8	mA	
V_{O1}/V_{O2}	Crosstalk attenuation	$A_{VD} = 100$	25°C	120	120	120	120	dB	

- (1) All characteristics are measured under open-loop conditions, with zero common-mode input voltage, unless otherwise specified.
(2) Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive, as shown in Figure 13. Pulse techniques must be used that maintain the junction temperatures as close to the ambient temperature as possible.

6.7 Operating Characteristics

 $V_{CC\pm} = \pm 15\ \text{V}$, $T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SR	$V_I = 10\ \text{V}$, $R_L = 2\ \text{k}\Omega$, $C_L = 100\ \text{pF}$, See Figure 19	8 ⁽¹⁾	13		V/ μs
	$V_I = 10\ \text{V}$, $R_L = 2\ \text{k}\Omega$, $C_L = 100\ \text{pF}$, $T_A = -55^\circ\text{C}$ to 125°C , See Figure 19	5 ⁽¹⁾			

- (1) On products compliant to MIL-PRF-38535, this parameter is not production tested.

6.9 Typical Characteristics

Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices. The Figure numbers referenced in the following graphs are located in [Parameter Measurement Information](#).

Table 1. Table of Graphs

			Figure
V_{OM}	Maximum peak output voltage	versus Frequency versus Free-air temperature versus Load resistance versus Supply voltage	Figure 1, Figure 2, Figure 3 Figure 4 Figure 5 Figure 6
A_{VD}	Large-signal differential voltage amplification	versus Free-air temperature versus Load resistance	Figure 7 Figure 8
	Differential voltage amplification	versus Frequency with feed-forward compensation	Figure 9
P_D	Total power dissipation	versus Free-air temperature	Figure 10
I_{CC}	Supply current	versus Free-air temperature	Figure 11
		versus Supply voltage	Figure 12
I_{IB}	Input bias current	versus Free-air temperature	Figure 13
	Large-signal pulse response	versus Time	Figure 14
V_O	Output voltage	versus Elapsed time	Figure 15
CMRR	Common-mode rejection ratio	versus Free-air temperature	Figure 16
V_n	Equivalent input noise voltage	versus Frequency	Figure 17
THD	Total harmonic distortion	versus Frequency	Figure 18

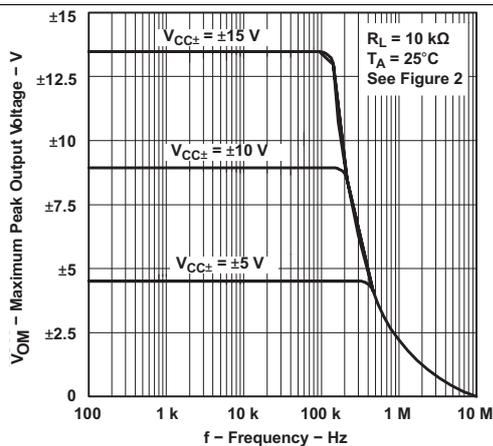


Figure 1. Maximum Peak Output Voltage vs Frequency

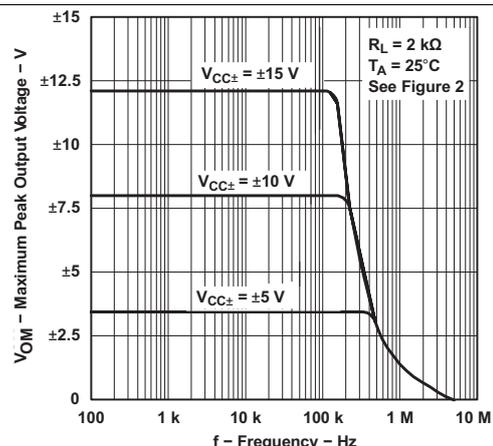


Figure 2. Maximum Peak Output Voltage vs Frequency



Zener Diodes



FEATURES

- Silicon planar power Zener diodes
- For use in stabilizing and clipping circuits with high power rating
- Standard Zener voltage tolerance is $\pm 5\%$
- Material categorization: for definitions of compliance please see www.vishay.com/doc?99912



RoHS
COMPLIANT
HALOGEN
FREE

APPLICATIONS

- Voltage stabilization

LINKS TO ADDITIONAL RESOURCES



PRIMARY CHARACTERISTICS		
PARAMETER	VALUE	UNIT
V _Z range nom.	3.3 to 75	V
Test current I _{ZT}	3.3 to 76	mA
V _Z specification	Thermal equilibrium	
Circuit configuration	Single	

ORDERING INFORMATION			
DEVICE NAME	ORDERING CODE	TAPED UNITS PER REEL	MINIMUM ORDER QUANTITY
1N4728A to 1N4761A	1N4728A to 1N4761A -series-TR	5000 per 13" reel	25 000/box
1N4728A to 1N4761A	1N4728A to 1N4761A-series-TAP	5000 per ammpack (52 mm tape)	25 000/box

PACKAGE				
PACKAGE NAME	WEIGHT	MOLDING COMPOUND FLAMMABILITY RATING	MOISTURE SENSITIVITY LEVEL	SOLDERING CONDITIONS
DO-41 (DO-204AL)	310 mg	UL 94 V-0	MSL level 1 (according J-STD-020)	Peak temperature max. 260 °C

ABSOLUTE MAXIMUM RATINGS (T _{amb} = 25 °C, unless otherwise specified)					
PARAMETER	TEST CONDITION	SYMBOL	VALUE	UNIT	
Power dissipation	Valid provided that leads at a distance of 4 mm from case are kept at ambient temperature	P _{tot}	1300	mW	
Zener current		I _Z	P _V /V _Z	mA	
Thermal resistance junction to ambient air	Valid provided that leads at a distance of 4 mm from case are kept at ambient temperature	R _{thJA}	110	K/W	
Junction temperature		T _j	175	°C	
Storage temperature range		T _{stg}	-65 to +175	°C	
Forward voltage (max.)	I _F = 200 mA	V _F	1.2	V	



ELECTRICAL CHARACTERISTICS (T _{amb} = 25 °C, unless otherwise specified)									
PART NUMBER	ZENER VOLTAGE RANGE ⁽¹⁾	TEST CURRENT		REVERSE LEAKAGE CURRENT		DYNAMIC RESISTANCE f = 1 kHz		SURGE CURRENT ⁽³⁾	REGULATOR CURRENT ⁽²⁾
	V _Z at I _{ZT1}	I _{ZT1}	I _{ZT2}	I _R at V _R		Z _{ZT} at I _{ZT1}	Z _{ZK} at I _{ZT2}	I _R	I _{ZM}
	V	mA	mA	μA	V	Ω		mA	mA
	NOM.			MAX.		TYP.	MAX.		MAX.
1N4728A	3.3	76	1	100	1	10	400	1380	276
1N4729A	3.6	69	1	100	1	10	400	1260	252
1N4730A	3.9	64	1	50	1	9	400	1190	234
1N4731A	4.3	58	1	10	1	9	400	1070	217
1N4732A	4.7	53	1	10	1	8	500	970	193
1N4733A	5.1	49	1	10	1	7	550	890	178
1N4734A	5.6	45	1	10	2	5	600	810	162
1N4735A	6.2	41	1	10	3	2	700	730	146
1N4736A	6.8	37	1	10	4	3.5	700	660	133
1N4737A	7.5	34	0.5	10	5	4	700	605	121
1N4738A	8.2	31	0.5	10	6	4.5	700	550	110
1N4739A	9.1	28	0.5	10	7	5	700	500	100
1N4740A	10	25	0.25	10	7.6	7	700	454	91
1N4741A	11	23	0.25	5	8.4	8	700	414	83
1N4742A	12	21	0.25	5	9.1	9	700	380	76
1N4743A	13	19	0.25	5	9.9	10	700	344	69
1N4744A	15	17	0.25	5	11.4	14	700	304	61
1N4745A	16	15.5	0.25	5	12.2	16	700	285	57
1N4746A	18	14	0.25	5	13.7	20	750	250	50
1N4747A	20	12.5	0.25	5	15.2	22	750	225	45
1N4748A	22	11.5	0.25	5	16.7	23	750	205	41
1N4749A	24	10.5	0.25	5	18.2	25	750	190	38
1N4750A	27	9.5	0.25	5	20.6	35	750	170	34
1N4751A	30	8.5	0.25	5	22.8	40	1000	150	30
1N4752A	33	7.5	0.25	5	25.1	45	1000	135	27
1N4753A	36	7	0.25	5	27.4	50	1000	125	25
1N4754A	39	6.5	0.25	5	29.7	60	1000	115	23
1N4755A	43	6	0.25	5	32.7	70	1500	110	22
1N4756A	47	5.5	0.25	5	35.8	80	1500	95	19
1N4757A	51	5	0.25	5	38.8	95	1500	90	18
1N4758A	56	4.5	0.25	5	42.6	110	2000	80	16
1N4759A	62	4	0.25	5	47.1	125	2000	70	14
1N4760A	68	3.7	0.25	5	51.7	150	2000	65	13
1N4761A	75	3.3	0.25	5	56	175	2000	60	12

Notes

- (1) Based on DC measurement at thermal equilibrium while maintaining the lead temperature (T_L) at 30 °C + 1 °C, 9.5 mm (3/8") from the diode body
- (2) Valid provided that electrodes at a distance of 4 mm from case are kept at ambient temperature
- (3) t_p = 10 ms.