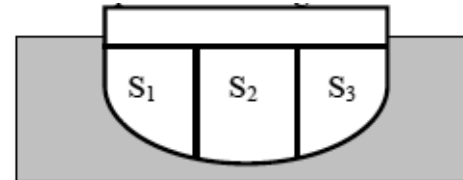


## TD 7 : Logique combinatoire élémentaire

La technologie TTL ou CMOS  
Traitements Logiques élémentaires

### Exercice 1 - Mal de mer...

Un navire, destiné au transport d'éléments liquides, comporte dans sa cale trois soutes S 1, S 2 et S 3 (voir schéma ci-contre). Une soule est soit VIDE ('0'), soit PLEINE ('1').



Un voyant (AC) est disposé sur le poste de commandement. Il s'allume quand l'assiette est "correcte", c'est-à-dire quand les charges sont bien réparties.

**Q1** - Donner la table de vérité correspondant au fonctionnement du voyant AC.

**Q2** - Représenter AC en utilisant des portes quelconques à 2 entrées

### Exercice 2 – Code 'ADN-ASCII'

Un simple brin d'ADN est une séquence dont les 4 membres (« bases ») sont « A C G T », dont les codes ASCII sont 41<sub>h</sub>, 43<sub>h</sub>, 47<sub>h</sub> et 54<sub>h</sub>.

**Q1** - Symboliser les 4 circuits qui « détectent » ces lettres sur la base des 5 bits « LSB » (bits 0 à 4) sur le code ASCII (les bits b6 et b5 valant 01 toujours).

**Q2** - On regarde deux brins en parallèle, proposer schématiquement la logique positive qui reconnaît (i) des bases identiques (un comparateur), et ensuite (ii) des bases complémentaires (A-C et G-T) (comme le fait la chimie de ces molécules !).

### Exercice 3 – Codage 'thermomètre'

**Q1**- Quelle est la table de vérité d'un circuit de codage permettant d'allumer, en « logique négative », de la première à la  $n$ -ième LED parmi 8, si le nombre  $n \in [0,7]$  lui est présentée sur 3 bits ? (les LEDs ont leur anode au +Vcc).



**Q2** - Quelle fonction logique correspond à la « sortie  $n=7$  » de ce circuit ? idem pour  $n=3$  ?

### Exercice 4 – XOR « 8 vers 1 »

On câble 8 bits d'entrée sur 4 portes XOR, puis leurs 4 sorties sur 2 XOR, et enfin les 2 sorties correspondantes sur un dernier XOR. Quel peut être l'intérêt du type de signal ainsi obtenu ?

## TD 8 : Logique combinatoire, technologies

Logique combinatoire de circuits réels :

Multiplexeur/Démultiplexeur

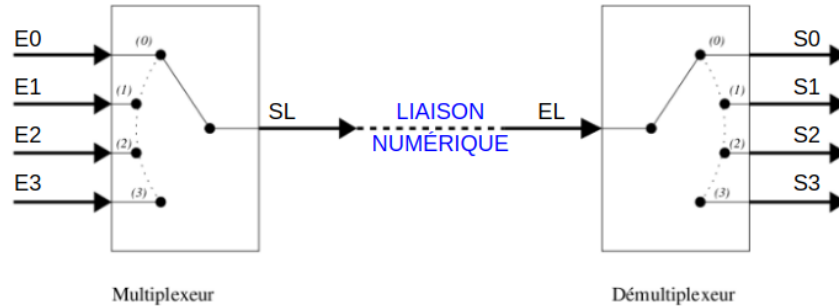
Gestion de délai : exemple élémentaire

Adaptation des niveaux de signaux

Gestion de conflit : Sorties type collecteur-ouvert, sorties « high-Z ».

### Exercice 1 - Multiplexeur/démultiplexeur.

On souhaite utiliser un système de multiplexage pour pouvoir transporter des informations numériques à l'aide d'un minimum de fils de transmission (voir schéma suivant - pour 4 émetteurs et 4 récepteurs).



La ligne sera alors occupée par chacun des émetteurs de manière équitable (à savoir 1/4 du temps pour le cas de 4 émetteurs). On parle alors de multiplexage temporel.

**Q1** - Rappeler le fonctionnement d'un multiplexeur et d'un démultiplexeur. On s'intéressera en particulier aux entrées de contrôle.

**Q2** - Quel élément faut-il alors ajouter pour que l'entrée E0 soit systématiquement transmise à la sortie S0, l'entrée E1 à la sortie S1, etc. ?

**Q3** - Si on souhaite transmettre les informations à une vitesse de 40 MHz, à quelle vitesse doit-on faire changer les entrées du multiplexeur et les sorties du démultiplexeur ?

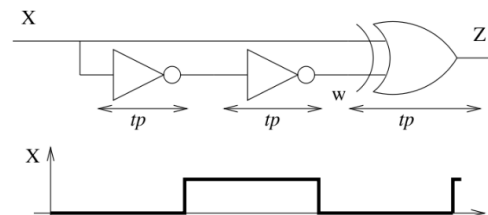
**Q4** - Quels signaux doivent également être transmis entre l'émetteur et le récepteur ?

### Exercice 2 - Gestion de délai

Soit le circuit suivant :

**Q1** - Tracer le chronogramme des sorties w et Z lorsque le temps de propagation des portes est nul ( $t_p = 0$ ).

**Q2** - Tracer le chronogramme de la sortie lorsque le temps de propagation des portes est non nul. On prendra un temps de propagation d'environ 1/5 du temps haut de X pour cet exemple.

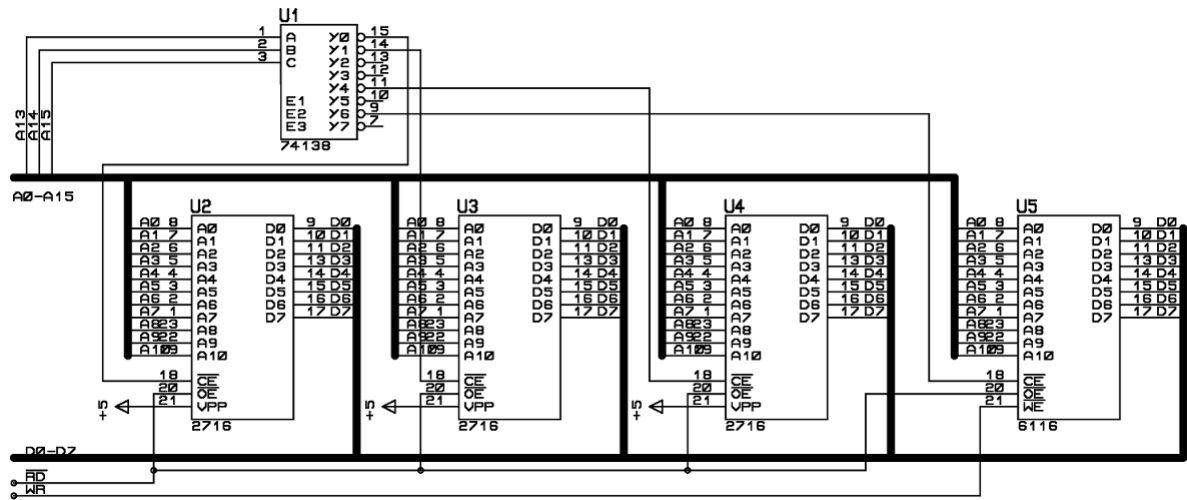


### Exercice 3 - Système « trois-états »

Il existe des systèmes numériques ayant un 3<sup>ème</sup> état de sortie (en plus des états '0' et '1'). C'est le cas des mémoires.

On considère un système comportant un bus d'adresse à 16 lignes A0...A15, 8 lignes de données bidirectionnelles D0...D7, une ligne d'activation de lecture RD et une ligne d'activation d'écriture WR toutes deux actives à l'état bas.

Ce système n'est pas étudié ici, mais on désire lui connecter 4 boîtiers mémoire : 3 boîtiers de UVEPROM 2k x 8 et un boîtier de SRAM 2k x 8 (voir le schéma de la figure suivante).



Dans tout le texte, les adresses sont exprimées en hexadécimal.

**Q1** - Pourquoi a-t-on besoin de deux types d'espace mémoire différent sur un système à microprocesseur ?

**Q2** - Quelle sera la quantité d'espace mémoire en ROM ? En RAM ? Au total ? (en octets)

**Q3** - En se basant sur le nombre total de fils d'adressage (A0-A15), combien d'adresses différentes peut-on utiliser ? Est-ce compatible avec la quantité totale de mémoire calculée précédemment ?

A	B	C	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

On donne la table de vérité du décodeur 74138.

**Q4** – Compléter alors la table suivante :

Plage	A15	A14	A13	A12	A11	A10	A9	A8	A7	-	A0	Adresse Hexa	Boitier
	0	0	0							-			
										-			
										-			
										-			
										-			
										-			
										-			
										-			
										-			
										-			

#### Exercice 4 - Adaptation CMOS/TTL, AOP/TTL

**Q1** - On élabore un circuit logique TTL 5V, dont la sortie doit contrôler un circuit d'interphone dans un immeuble, dont les entrées de contrôle sont commandées en CMOS 12V. Proposer le câblage de l'étage d'adaptation à l'aide de collecteur ouvert.

**Q2** - Comment faire l'adaptation inverse ?

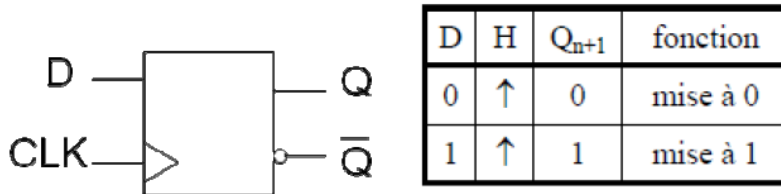
**Q3** - On a maintenant la sortie d'un comparateur à ampli-op (AOP) qui commute entre +10V et -10V. On voudrait qu'elle commande de la logique TTL. Proposer les circuits à diodes qui protègent l'entrée TTL (qui n'aime pas  $V < -2V$ , ni  $V > 7V$ ).

## TD 9 : Logique séquentielle

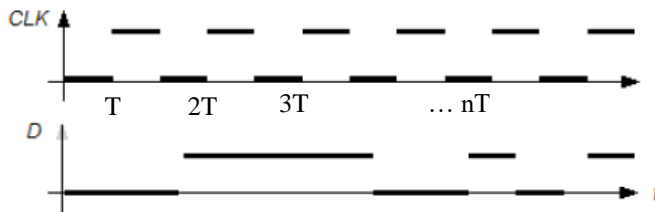
Bascule D : chronogramme de base  
Diviseur de fréquence, compteurs  
Registre à décalage

### Exercice 1 - Bascule D chronogramme de base.

On donne la « table de vérité » d'une bascule D ci-dessous.

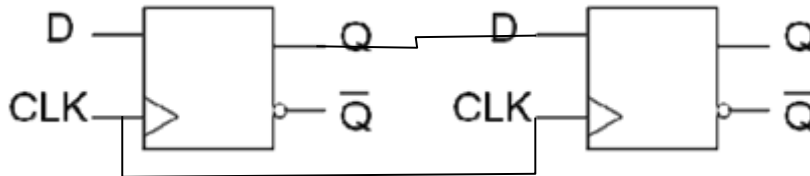


Pour un chronogramme de D comme le suivant (avec ici une horloge périodique), tracer superposé au diagramme de D le chronogramme de la sortie,  $Q(t)$ , d'une autre couleur de crayon. Y a-t-il besoin de tracer l'autre sortie ?



### Exercice 2 - Ligne à retard, Diviseur de fréquence, compteur binaire et BCD

**Q1** - On cascade deux bascules D comme suit, D ayant un front montant  $0 \rightarrow 1$  à  $t=1,7T$ . Pour CLK ...



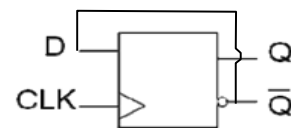
A quel instant  $t_2$  a lieu le basculement de la 2ème bascule ?

Généraliser : quelle est l'architecture d'une "ligne à retard"? On préfère l'appeler "registre à décalage".

**Q2** - On boucle une bascule D sur elle-même ainsi :

Quelle est la fréquence observée sur Q si CLK est périodique ?

Dépend-elle du rapport cyclique (« duty cycle ») de CLK ?



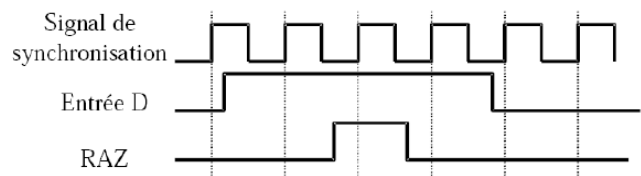
**Q3** - Généraliser : Combien de bascules à arranger pour diviser une fréquence par 256 ?

**Q4** - Quelle est l'architecture d'un compteur binaire ? Comment implémenter la fonction RAZ ?

### Exercice 3 - Bascules D asynchrones et synchrones, verrous

On reprend le circuit ci-dessus, mais on a ajouté une remise à zéro (RAZ). Celle-ci peut agir sous condition que l'horloge ait transité ou agir inconditionnellement. On parle de RAZ asynchrone ou synchrone.

Décrire l'état de la sortie à partir des chronogrammes d'entrées proposés,



**Q1** - pour le cas de RAZ synchrone,

**Q2** - pour le cas de RAZ asynchrone.

### Exercice 4 - Compteurs et diviseurs.

Q1 - Que fait le dispositif « PSC » ci-contre au signal CLK en fonction des deux entrées du MUX, A et B ?

(huit bascules D avec sorties Q et complémentaire, deux entrées A, B sur un MUX 4→1)

Q2 - Que produit sur sa sortie S le dispositif CNTN ci-contre en fonction de CLK et de N ?

Q3 - On implémente la chaîne ci-dessous :

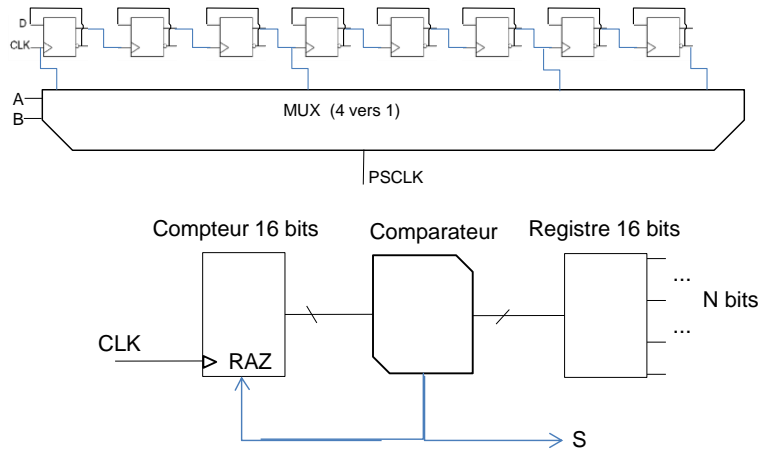
$$\begin{aligned} f_0 = \text{CLK} &\rightarrow \text{PSC}(AB) && \rightarrow \\ \text{CNTN}(b_{15} \dots b_0) &\rightarrow \text{signal S} \end{aligned}$$

La fréquence de l'horloge d'entrée est  $f_0 = 14$  MHz.

Quelles sont les fréquences accessibles sur S via le choix de N, pour  $AB_b = 00$  ? Même question pour les trois autres choix de  $AB_b$  ?

Q4 - Combien de façon y a-t-il de réaliser les fréquences de signal S suivantes :  $f_s = 200$  Hz, 20 Hz, 2 Hz ?

Q5 - Quel est l'avantage (en termes de marge de modification) de viser la plus grande division de PSC ? de viser la plus petite ?



### Exercice 5 - Générateurs aléatoires

Soit un registre à décalage de N bits :  $s_0 \dots s_N$ , et dont l'entrée est  $e_0$ .

On reboucle les sorties M et N sur l'entrée à l'aide d'une porte XOR (M entre 0 et N-1)

Que vaut la séquence des premiers états pour M=1 ? pour M=2 ?

On prend généralement M proche de N/2. On parle alors de générateur de « pseudo-aléa » pour ce type de système. Le jargon est « PRBS » : 'Pseudo-Random-Bit-Sequence', pour le pseudo-aléa ainsi engendré.

6 :