

Exercice 3 (suite)

Q3) Le système total a en effet 16 fils d'adressage.
 Ce qui fait un total de 2^{16} cases adressables, soient 64 kbits (si chacune des cases fait 8 bits).

Q4) voir tableau

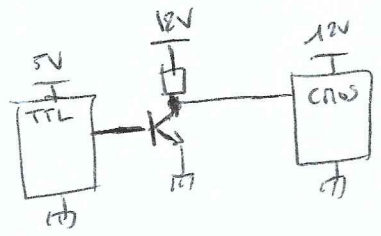
Revenir sur les signaux

$\overline{RD} \rightarrow \overline{OE} \rightarrow$ autorise la sortie sinon état Z
 $\overline{WR} \rightarrow \overline{WE} \rightarrow$ autorise l'écriture ou lecture
 $VA \rightarrow \overline{CE} \rightarrow$ validation du busier

Exercice 4

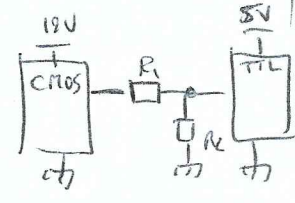
technologies	TTL	CMOS
transistor	Bipolaire commandé en courant $I_c = \beta \cdot I_b$ $\beta \rightarrow$ constructeur	Effet de champ commandé en tension $I_D = g \cdot V_{GS}$ $g \rightarrow$ fabricant
alimentation	5V	3 à 18V
nombre d'entrées reliables (entrance)	~ 20	$+\infty$ (théorique)
Niveaux		0 $V_{DD}/2$ 1

Q1



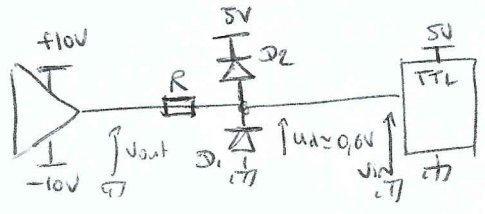
logique inverse

Q2



avec $\frac{R_2}{R_1 + R_2} = \frac{5}{12}$

Q3



- Lorsque $V_{out} < -U_d \rightarrow D_1$ passante et $V_{in} = -U_d$
- Lorsque $V_{out} > 5V + U_d \rightarrow D_2$ passante et $V_{in} = 5V + U_d$