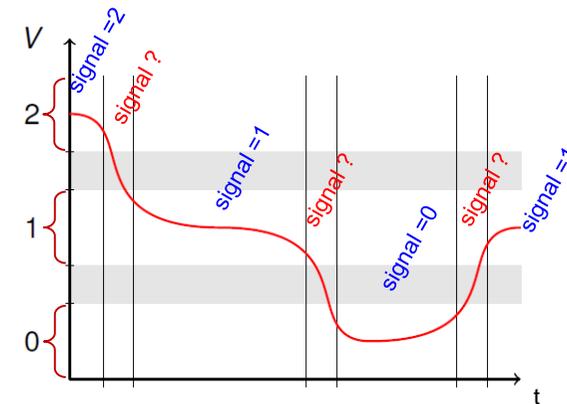


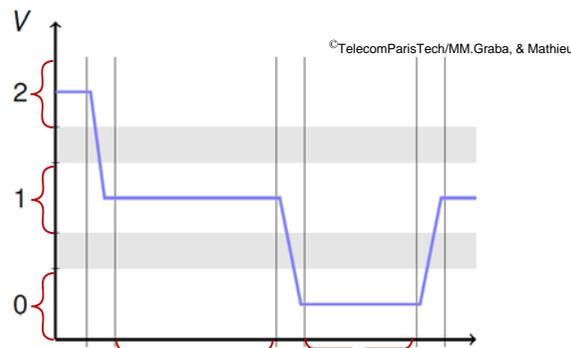
- **Rappel des bases :**
 BIT,
 nombre binaire → représentations binaire, hexa, decimal, octal
 Puissances de 2 (Kilo, Mega, Giga, Tera)
 Codage « binaire réfléchi » / roue codeuse.
- **Codes particulier : ASCII**
- **Algèbre de Boole / fonctions « NOT, &, ≥1 »**,
 diagramme de Karnaugh (rappels)
 implémentation « résistance & switch » de « NOT, &, ≥1 »
- **Technologies de l'électronique logique (FET& CMOS ; TTL)**
- **L'inverseur comme exemple :**
 Temps de propagation, consommation, cascabilité,
 plages de tensions, sink/source current.
- « **Pacification** » des sorties : Open Collector, High-Z
- [Scandale : on peut brancher une petite LED sur une sortie logique !]
- **De l'élémentaire au complexe:** les « (G)flops », la loi de Moore

- ▶ **Discretisation/numérisation permettant**
 - mémorisation
 - transmission sans perte
- ▶ **Difficultés évidentes : les transitions**



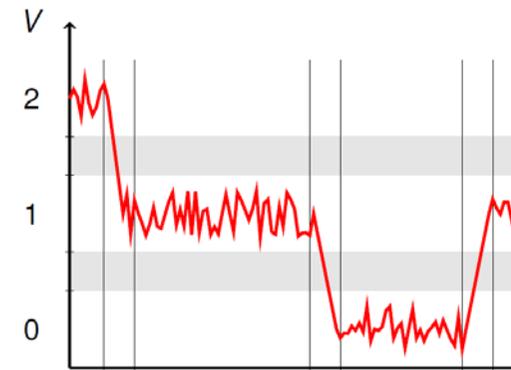
- ▶ **Discretisation des valeurs du signal**
 = **QUANTIFICATION**
 (digitalisation)

Notion associée, la **Dynamique du signal:**
 (rapport du + grand signal au + petit signal)



- ▶ **Discretisation dans le temps**
 = **ECHANTILLONAGE**

Notion associée, la **Bande passante du signal:**
 (période la plus courte enregistrable : **Shannon**)

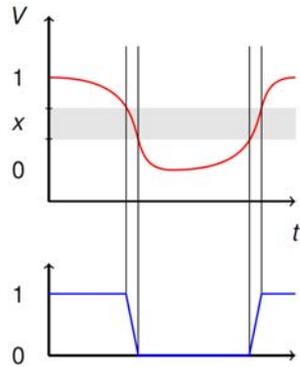


- ▶ **Mais qu'on a débarrassé de ses ambiguïtés**

(Il faudra trouver quand même un moyen de s'en assurer : un peu de redondance...)

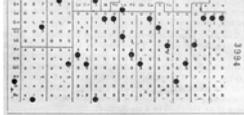
Le binaire, logique la plus universelle

©TelecomParisTech/MM.Graha, & Mathieu



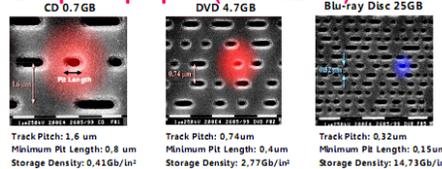
- Le 0 et le 1
- Interprétation « vrai/faux » en logique
- Support électrique simple
- Pas que électrique (!)

► (fiches perforées, recensement, IBM, 1890)



Elec / ETI 2S H. Benisty ESO1 /2016

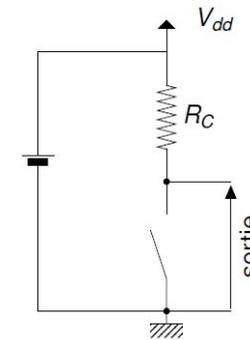
► Disques optiques (1980...2015)



10

Le binaire version électrique

► V_{dd} = valeur d'alimentation fixe



- Interrupteur fermé → 0V en sortie
- Interrupteur ouvert → V_{dd} en sortie

tension	niveau logique
0V	0
V_{dd}	1

©TelecomParisTech/MM.Graha, & Mathieu

Vie de tous les jours :
Interrupteur ⇔ bistable mécanique
Circuit, puce :
Interrupteur ⇔ bistable électrique



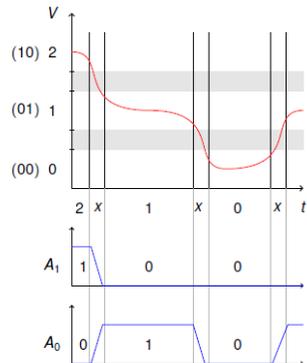
Elec / ETI 2S H. Benisty ESO1 /2016

https://www.youtube.com/watch?v=-l-G_uejx0Rs

11

Information en parallèle

► Mots de plusieurs bits



Codage sur A_0 et A_1

$n=2$, 2bits, $2^n=4$ valeurs

©TelecomParisTech/MM.Graha, & Mathieu

Elec / ETI 2S H. Benisty ESO1 /2016

12

Nombres en base quelconque

Un entier positif N dans une base b se représente par un vecteur $(a_{n-1}, a_{n-2}, \dots, a_1, a_0)$ tel que :

$$N = a_{n-1} \cdot b^{n-1} + a_{n-2} \cdot b^{n-2} + \dots + a_1 \cdot b^1 + a_0 \cdot b^0$$

Où :

- a_{n-1} est le chiffre le plus significatif ⇔ **MSB = Most Significant Bit**
- a_0 est le chiffre le moins significatif ⇔ **LSB = Least Significant Bit**
- a_i appartient à un ensemble de b symboles valant de 0 à $b - 1$

©TelecomParisTech/MM.Graha, & Mathieu

Elec / ETI 2S H. Benisty ESO1 /2016

13

Bases fréquemment utilisées

- $b = 10$
 - Représentation Décimale
 - $a_i \in \{0, 1, 2, 3, 4, 5, 6, 7, 8, 9\}$
- $b = 16$
 - Représentation Hexadécimale
 - $a_i \in \{0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F\}$
- $b = 8$
 - Représentation Octale
 - $a_i \in \{0, 1, 2, 3, 4, 5, 6, 7\}$
- $b = 2$
 - Représentation Binaire
 - $a_i \in \{0, 1\}$ est un bit (binary digit)



©TelecomParisTech/MM.Graba, & Mathieu

Le binaire usuel

$$N = a_{n-1} \cdot 2^{n-1} + a_{n-2} \cdot 2^{n-2} + \dots + a_1 \cdot 2^1 + a_0 \cdot 2^0$$

\uparrow 128
 \uparrow 64
 \uparrow 2
 \uparrow 1

MSB

LSB

► N entre 0 et $2^n - 1$ en général

ici $n=8$

► N entre 0 et 255

$n=8$ bits ↔ 1 OCTET ↔ 1 BYTE ↔ 1 nombre entre 0 et 255

Ecrivable en 2×4 bits, donc en 2 chiffres hexadécimaux ($256=16 \times 16$)

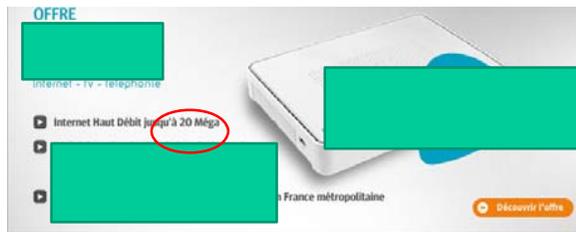
00, 01, ..., 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, ..., 1F, 20, EF, F0, F1, ..., FE, FF
 [0 1 8 9 10 11, 12, 13, 14, 15, 16.....31, 32.....239, 240, 241,254, 255]

Notation dans ces transparents x09, x0A, ..., x0F, x10, ...

Exemple

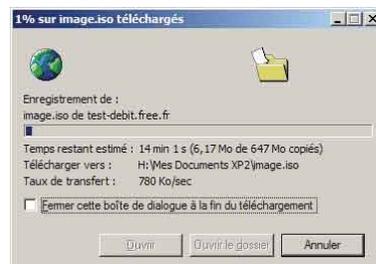
- Débit internet
- Version Pub ADSL

« 20 Méga ... BITS/s »
 beau chiffre non ?
 (2 Giga en 100 s...?)



- Côté Windows

« 780 Ko/sec »
 ~ 6 à 7 Mbit/s



(facteur 8 !)
 (Télécharger un DVD de 2 ou 3 Go reste > 1h !)

Le binaire « grand volume »

► $2^n = (10^{\log_{10}(2)})^n = 10^{n \times \log_{10}(2)} \sim 10^{0.301n}$

► $2^{10} = 10^{3.01} = 1024 \sim 1000$ 1 Ko ≈ 1000 octets

► $2^{20} = 10^{6.02} = 1048576 \sim 10^6$ 1 Mo $\approx 10^6$ octets

► $2^{30} = 10^{9.03} = 1073741824 \sim 10^9$ 1 Go $\approx 10^9$ octets

► $2^{40} = 10^{12.04} = 1.10 \cdot 10^{12} \sim 10^{12}$ 1 To $\approx 10^{12}$ octets

(taille de 200 DVD ou d'un disque dur) 1 To $\approx 10^{13}$ bits

(~10⁶ livres sans images)

• N.B. : Dans le cas du type « int » du langage C:
 → codage sur 2 octets = 16 bits,
 → soit par exemple 065 535 = $256^2 - 1 = 2^{16} - 1$ (« unsigned int »)

Le codage

Codage de N sur n bits

$$N = a_{n-1} \cdot 2^{n-1} + a_{n-2} \cdot 2^{n-2} + \dots + a_1 \cdot 2^1 + a_0 \cdot 2^0$$

N'est pas le seul codage possible !

- ▶ Code « Gray » ou « binaire réfléchi ». Vu pour les "diagrammes de Karnaugh."

- ▶ Intérêt : 1 seul bit change à la fois → Transitoires « pacifiés »

valeur décimale	code binaire réfléchi
0	0000
1	0001
2	0011
3	0010
4	0110
5	0111
6	0101
7	0100
8	1100
9	1101
10	1111
11	1110
12	1010
13	1011
14	1001
15	1000

Y1

X

Y2

Le codage, roue codeuse

4-bit Gray

Absolute Encoders:
Changements d'1 seul bit à la fois partout

4-bit binaire

Changements de 2 bits
Changements d'1 bit

Le transitoire incertain

1	0	0
0	0	1

valeur décimale	code binaire réfléchi
0	0000
1	0001
2	0011
3	0010
4	0110
5	0111
6	0101
7	0100
8	1100
9	1101
10	1111
11	1110
12	1010
13	1011
14	1001
15	1000

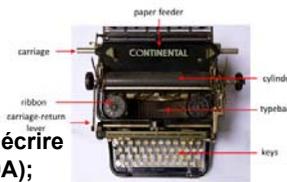
codage ASCII

« American Standard Code for Information Interchange »

- ▶ Codage des caractères d'imprimerie (& \$, ; ! # * 0...9 a..z A...Z)
- ▶ Codage des caractères **alphanumériques** en particulier (0..9 a..z A...Z)

- ▶ 7 bits, 128 valeurs

- ▶ x00 à x1F : "commandes" issues de la machine à écrire "Horiz Tab" (x09); "Carriage Return" (x0A); "Line Feed" (x0D)



- ▶ x20 à x3F : espace, !, #, \$ puis 0,1,8,9 puis <, =, >, ?

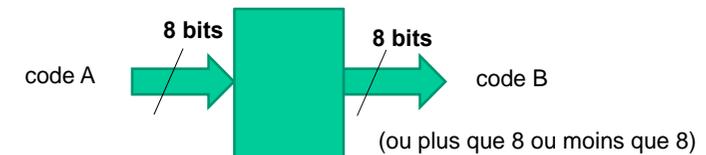
- ▶ x40 à x5A : a,b,...y,z

- ▶ x60 à x7A : A,B,...Y,Z

- ▶ mon préféré : «U »= x55.... pourquoi ?

- ▶ Compression élémentaire d'un livre transcrit en ASCII à 1 caract/octet ?

Premier but possible d'un circuit logique

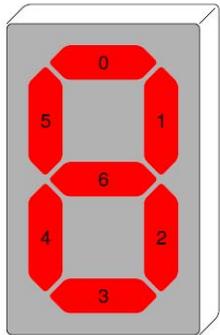


- ▶ Action « instantanée » → prochain cours, logique « combinatoire ».

- ▶ Exemple : code « thermomètre » ou « vu-mètre »

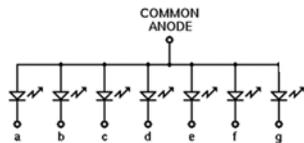


Autre exemple



Le décodeur 7 segments

- Permet d'afficher de l'hexadécimal (0,1,...,9,A,B...F)
- L'entrée est sur 4 bits (0 → F)
- La sortie est sur 7 bits
 - Chaque bit contrôle un segment
 - Si le bit est à 0 le segment est allumé
- **Donnez les équations de chaque sortie** (sera à faire mais pour plus tard...)



©TelecomParisTech/MM.Graba, & Mathieu

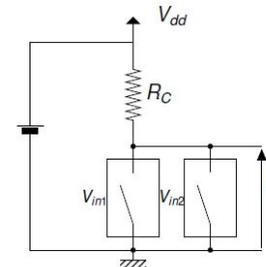
Algèbre de Boole

► Sera généralisé au prochain cours

Combinaison des « bits »

► Fonction élémentaires « not », « ≥1 » ≡ OU, « & » ≡ ET

► Implémentation naïve par commande d'interrupteurs



V_{in1}	V_{in2}	V_s	I_{n1}	I_{n1}	Sortie
$< V_{ref}$	$< V_{ref}$	V_{dd}	0	0	1
$< V_{ref}$	$> V_{ref}$	0V	0	1	0
$> V_{ref}$	$< V_{ref}$	0V	1	0	0
$> V_{ref}$	$> V_{ref}$	0V	1	1	0

■ Fonction Non–Ou



■ la sortie vaut 0 si l'une des entrées vaut 1

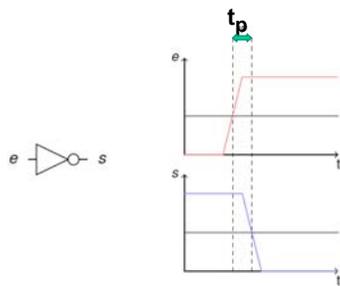
► Etude + générale au cours n°2

©TelecomParisTech/MM.Graba, & Mathieu

Chronogramme



Il y a des moments d'incertitude (nature analogique de la porte)



La fonction est propagée en un temps t_{propag} noté t_p

Ici le point de choix est la mi-hauteur... Hélas c'est trop simple

→ Vraies technologies ?

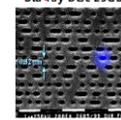
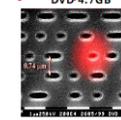
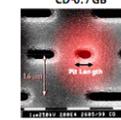
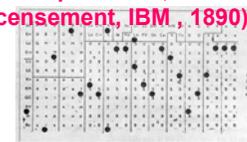
©TelecomParisTech/MM.Graba, & Mathieu

Un peu d'histoire des technologies de l'information

Mémoires

► (fiches perforées, recensement, IBM, 1890)

► Disques optiques (1980...2010)



Track Pitch: 1,6 μm
Minimum Pit Length: 0,8 μm
Storage Density: 0,41Gb/ in^2

Track Pitch: 0,74 μm
Minimum Pit Length: 0,4 μm
Storage Density: 2,77Gb/ in^2

Track Pitch: 0,32 μm
Minimum Pit Length: 0,15 μm
Storage Density: 14,73Gb/ in^2

Circuit actifs

♪ Mécanique (machine de Pascal : roue dentés)

♪ Electro-Mécanique (Relais)

♪ Electronique d'autrefois (Tube)

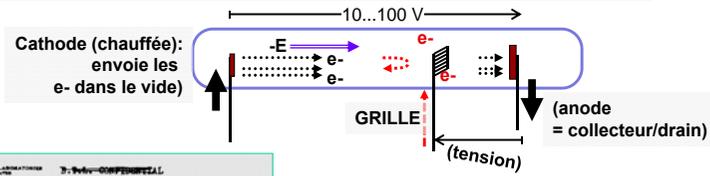
♪ Transistors

♪ Circuits intégrés

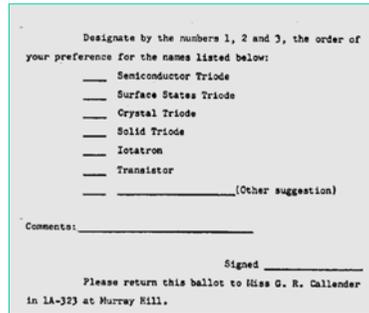
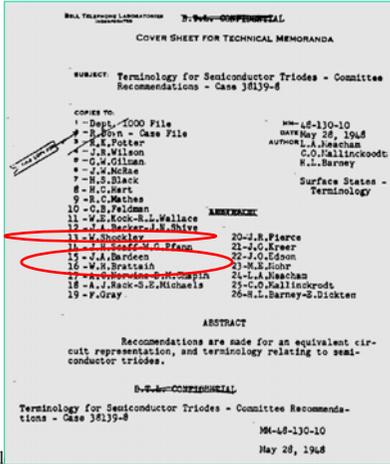
♪♪ portes quantiques ?

Zoom

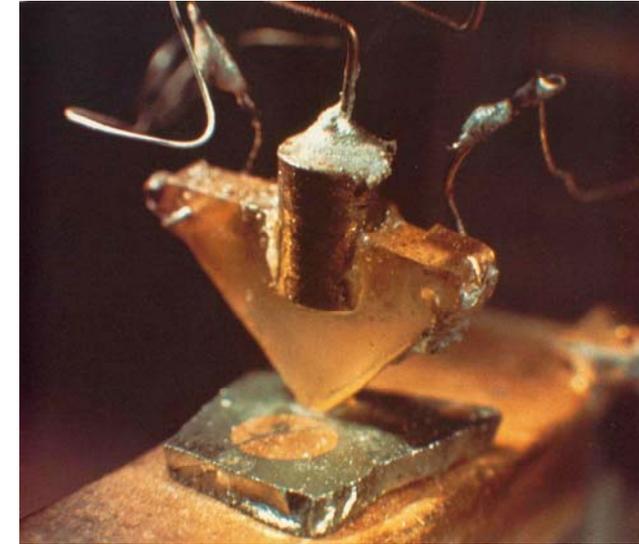
Transistor (1948) = remplacement semi-conducteur de la TRIODE



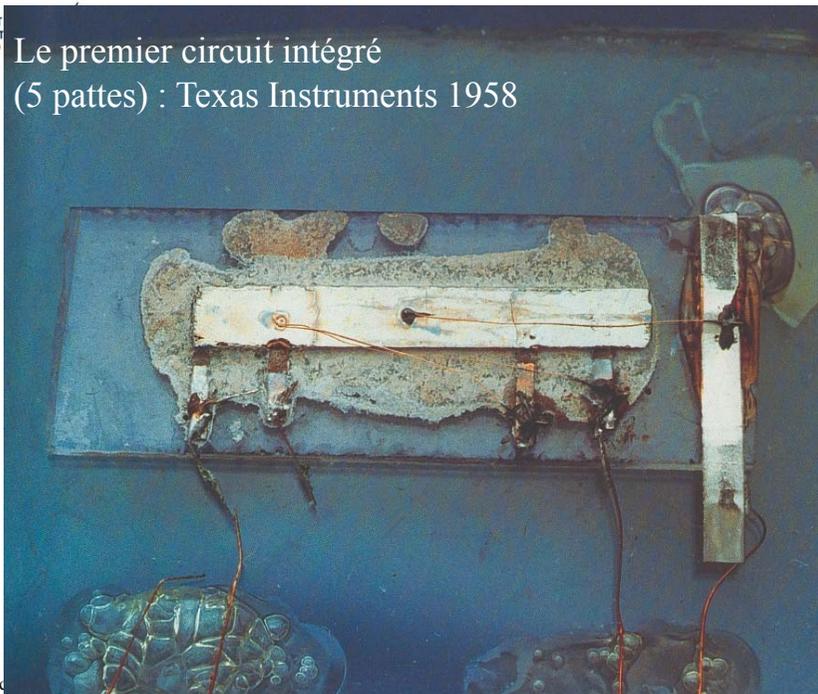
un courant faible contrôle un courant fort



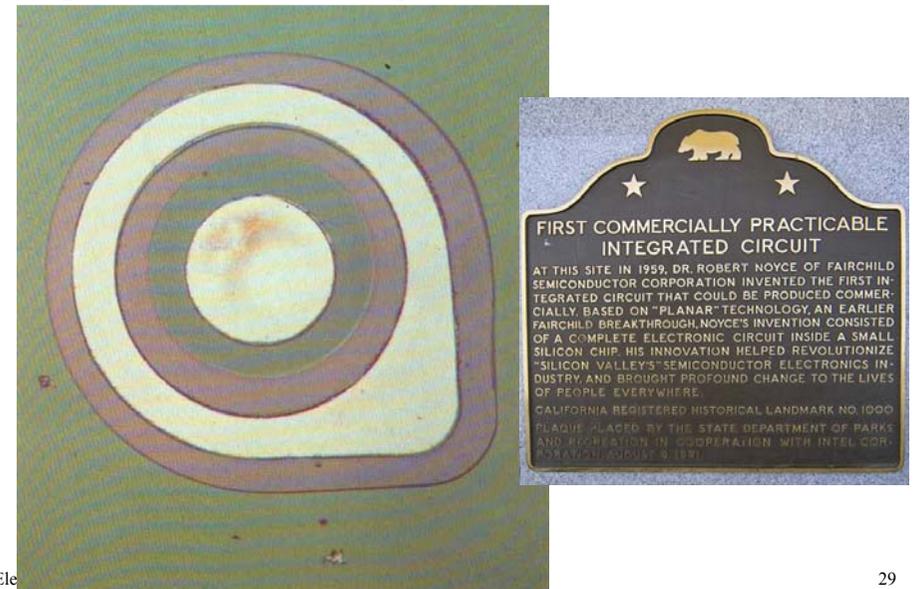
Le premier transistor ; 23 décembre 1947, Bell labs



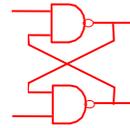
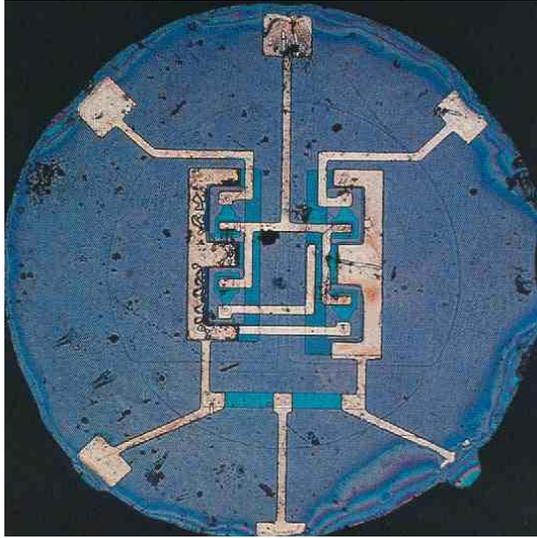
Le premier circuit intégré (5 pattes) : Texas Instruments 1958



La « bonne » méthode pour fabriquer les transistors: Le premier transistor « planar » Fairchild 1959



Le premier circuit intégré commercialisé Flip-flop de Fairchild pour la NASA 1961

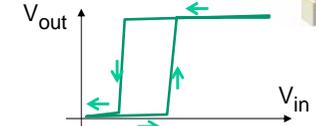
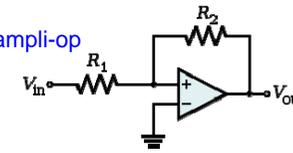


Commutation et électronique analogique

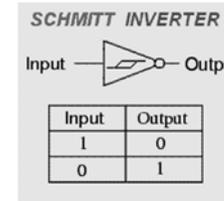
On peut rendre la sortie d'un comparateur « tout ou rien » par **feedback positif** → montage dit « **trigger de Schmitt** » à hystérésis



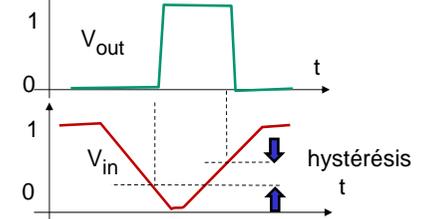
• Version ampli-op



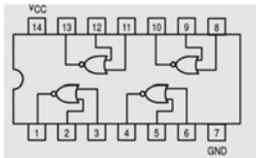
• Version inverseur logique



Il n'en reste pas moins des transitoires, ... souvent plus longs (« no free lunch ») !



La technologie historique de la logique : T T L « T T L = transistor-transistor logic »



"QUAD 2-INPUT NOR GATE"

•VARIANTES

SN5402, SN5403, SN5404, SN7402, SN7403, SN7404

QUADUPLE 2 ENTRÉES POSITIF-NOR GATES

•BROCHAGE

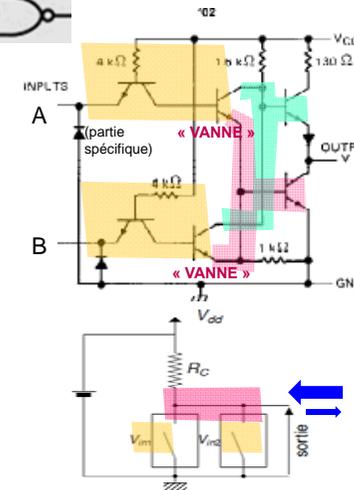
•TABLES DE VERITE

•SCHEMA FONCTIONNEL



Les transistors à l'intérieur sont bipolaires

« NOR » : on retrouve l'idée de départ, **2 entrées + parallélisme**



• Sorties à deux Transistors : peuvent donner ou absorber du courant

I (sink current)

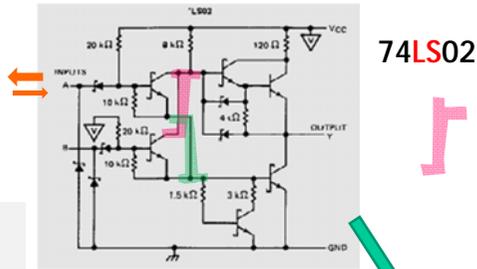
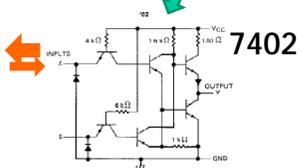
I (source current)

• Diodes = protections (contre $V < 0, \dots$)

• Notre circuit élémentaire (« sortie » asymétrique)

La TTL « 2.0 » : La TTL 74LSxxx (Low-Schottky)

I_{IH}	$V_{CC} = \text{MAX}, V_I = 2.7 \text{ V}$	50	50	μA	50 μA
I_{IL}	$V_{CC} = \text{MAX}, V_I = 0.5 \text{ V}$	-2	-2	mA	-2.0 mA



• le « LS » ? (Low Schottky) au moins aussi bon

→ mais moins gourmand en énergie (entrée sur des bases de transistor) (« base » spéciale pour certain transistors)

I_{IH}	$V_{CC} = \text{MAX}, V_I = 2.7 \text{ V}$	20	20	μA	20 μA
I_{IL}	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$	-0.4	-0.4	mA	-0.4 mA

La limitation principale de la TTL : ~5V ou rien

NOMINAL 5V

recommended operating conditions

	SN54LS02			SN74LS02			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH} High-level input voltage	2			2			V
V_{IL} Low-level input voltage		0.7			0.8		V
I_{OH} High-level output current		-0.4			-0.4		mA
I_{OL} Low-level output current		4			8		mA
T_A Operating free-air temperature	-55	125		0	70		$^{\circ}\text{C}$

La contrepartie : une certaine rapidité

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$ (see note 3)

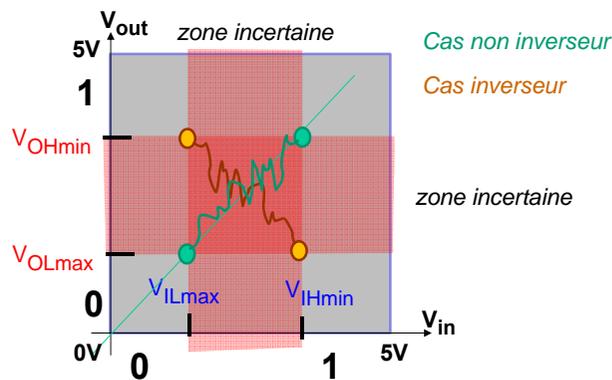
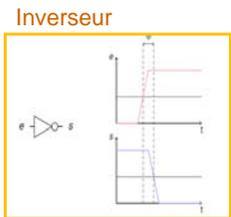
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	A or B	Y	$R_L = 2 \text{ k}\Omega, C_L = 15 \text{ pF}$		10	15	ns
t_{PHL}					10	15	ns

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

Bon, d'accord, le Pentium est passé par là depuis ~10 ns

Norme des niveaux « 0 » et « 1 » de la TTL.

• Cascadabilité ! un niveau de sortie doit être lu correctement sur une entrée



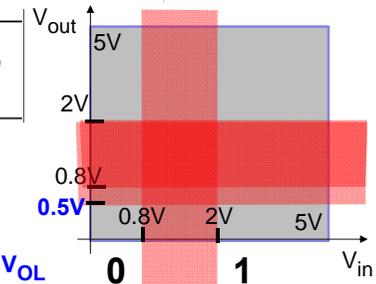
• Meilleur des mondes: correspondance exacte des $V_{O[Out]m\#\#}$ avec les $V_{I[In]m\#\#}$ mais ... la ~~cha~~ tension n'est ~~faible~~ jamais assez faible hélas ! (les entrées tirent vers le haut), → il faut de la marge !

Norme des niveaux « 0 » et « 1 » de la TTL.

recommended operating conditions

	SN54LS02			SN74LS02			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH} High-level input voltage	2			2			V
V_{IL} Low-level input voltage		0.7			0.8		V
I_{OH} High-level output current		-0.4			-0.4		mA
I_{OL} Low-level output current		4			8		mA
T_A Operating free-air temperature	-55	125		0	70		$^{\circ}\text{C}$

V_{OL}	Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}$	$V_{CC} = \text{Max}, I_{OL} = \text{Max}$
0.35		0.5	
0.25		0.4	



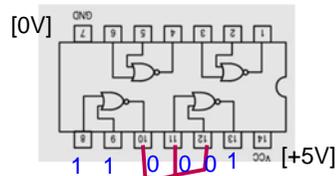
• On introduit une marge sur V_{OL}

→ même avec un « tirage vers la haut », ça doit marcher.

→ Les t_p sont calculé de V_{IL} à V_{OH} ou V_{IH} à V_{OL}

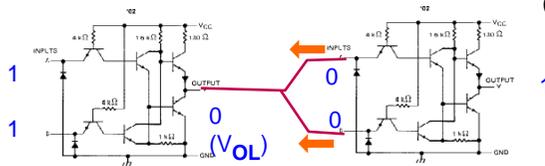
• Bref *T.T.L.* n'est pas du tout symétrique !

Norme des niveaux « 0 » et « 1 » du TTL (suite)



Cascade logique (ici sans intérêt fonctionnel)

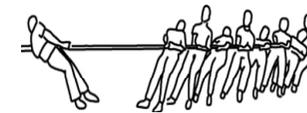
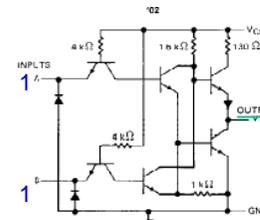
(circuit TTL : + simples)



I_{IH}	$V_{CC} = \text{MAX.}$	$V_I = 2.7 \text{ V}$	20	20	μA
I_{IL}	$V_{CC} = \text{MAX.}$	$V_I = 0.4 \text{ V}$	-0.4	-0.4	mA

$(-0.4 \text{ mA}) \times N$

Notion de « fan-out »



D'où la culture du « niveau 0 actif »

► De loin le choix le plus répandu (autorisation d'écriture sur une mémoire, ...)

► Conso + faible au repos.

► Mais le TTL, même LS (ou ALS) reste assez avide en énergie un circuit de 4 portes quasi au repos consomme ~ 0.4 mA, soit 2 mW;

→ 1000 portes, c'est assez courant...

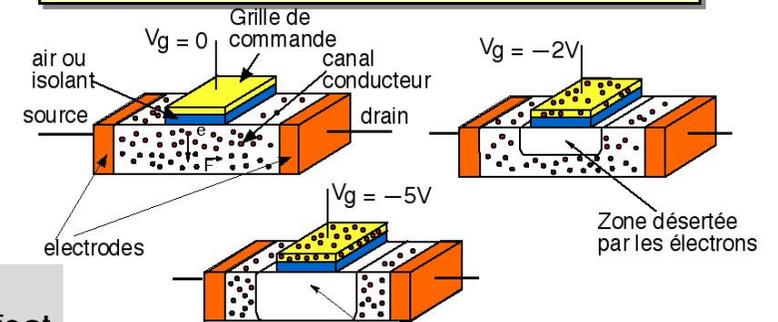
→ 0.5W c'est beaucoup pour ne rien faire !

► C'est la faute au transistor bipolaire, qui a besoin de courant de base pour être prêt à fonctionner

► Remède = ? CMOS !

(vers CMOS) Principe du transistor à effet de champ

On contrôle les électrons dans un canal conducteur par une tension appliquée sur une grille isolée du



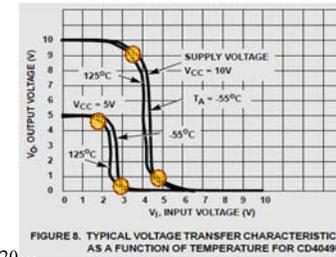
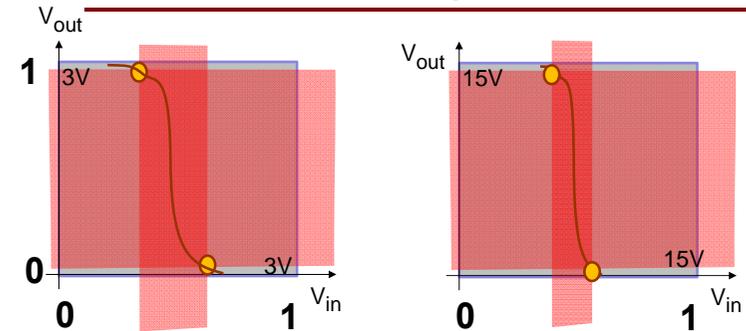
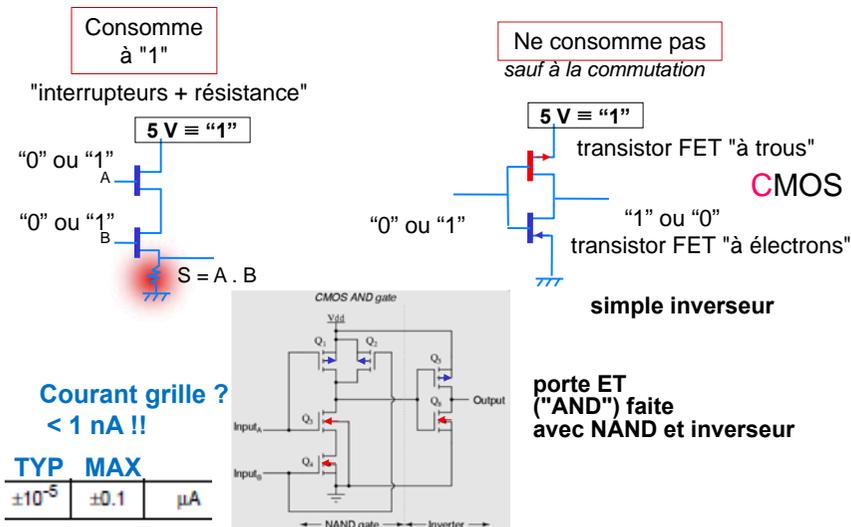
FET
Field-Effect
-Transistor

Le transistor ne conduit plus.
Il peut fonctionner comme un interrupteur

MOS = Métal — Oxyde — Semiconducteur

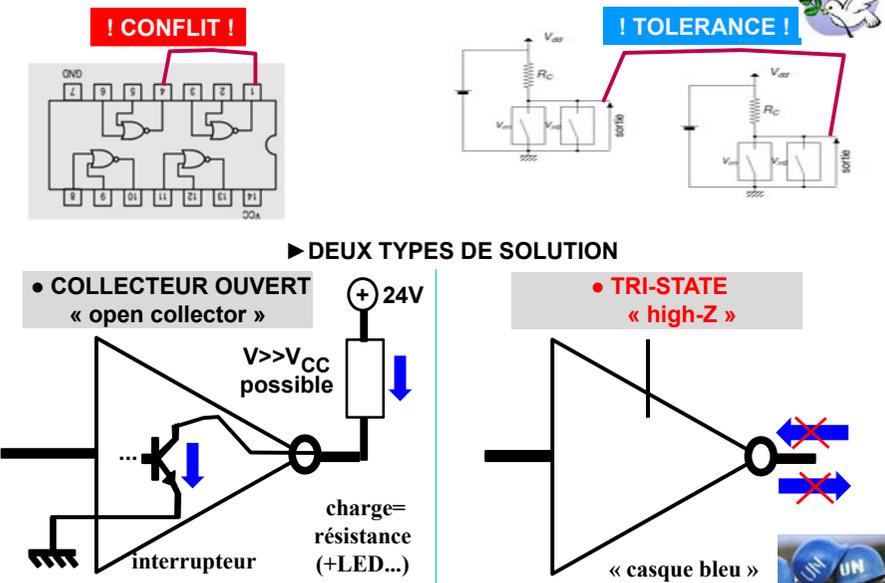


COMPLEMENTARY MOS



« hyper cascadable »

« PACIFICATION » des SORTIES



CATALOGUES (circuits combinatoires)

TTL

- 7400 - Quad 2-Input NAND Gate
- 7402 - Quad 2-Input NOR Gate
- 7404 - Hex Inverter (logic Gate) Inverter
- 7408 - Quad 2-Input AND Gate
- 7410 - Triple 3-Input NAND Gate
- 7411 - Triple 3-Input AND Gate
- 7413 - Dual Schmitt trigger 4-Input NAND Gate
- 7414 - Hex Schmitt trigger Inverter (logic Gate)
- 7420 - Dual 4-Input NAND Gate
- 7421 - Dual 4-Input AND Gate
- 7427 - Triple 3-Input NOR Gate
- 7430 - 8-Input NAND Gate
- 7444 - Excess-3-Gray to Decimal Decoder
- 7446 BCD-to-7-Segment Display Open Coll.
- 7486 - Quad 2-Input Exclusive-OR Gate

CMOS

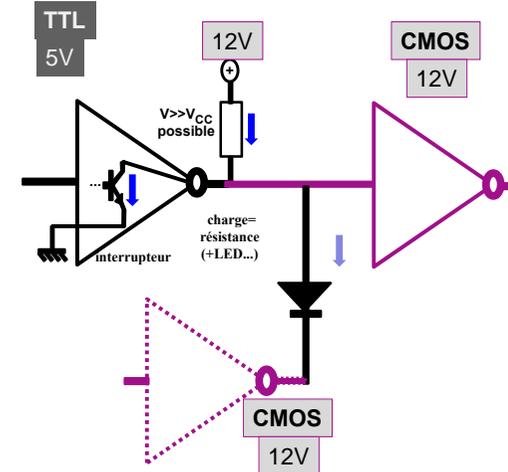
- 4011 - Quad 2-Input NAND gate
- 4001 - Quad 2-input NOR gate
- 4009 - Hex inverting buffer (replaced by 4049)
- 4081 - Quad 2-input AND gate
- 4023 - Triple 3-input NAND gate
- ...
- 4030 - Quad XOR gate (replaced by 4070)

(plus de 500 circuits dans chaque)

(plusieurs fabricant pour chaque → coopération / 'second source')

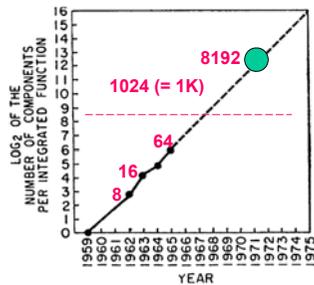
	TTL (LS)	CMOS
ALIM	5 +/- 0.25 V	3...18V
V_{OUT}	« 1 » > 2.7V / « 0 » < 0.8V	« 1 » = V _{CC} / « 0 » = GND(0V)
I_{IN}	« 1 » ~ 0mA / « 0 » ~ 0.2 mA	< 1 nA
t_p	5 ... 20 ns	20 ... 50 ns
conso statique	qqm mW	qqm μW !!
conso dynamique (MHz)	? 20 mW	élevée si > 5V 18V !
I_{OUT}	asymétrie sink/source	I _{out} peut être faible

→ Sorties « pacifiées », et/ou logique à diode



Faire la table de vérité

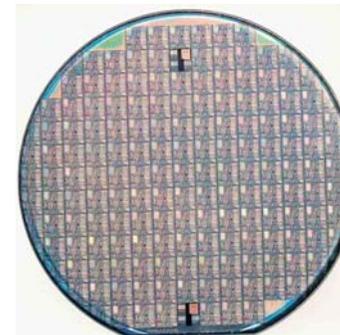
La « loi » de Moore (Gordon Moore, 1965)



- De 60 transistors/puce en 1966...
 - ⇒ à 60000 en 1975
 - ⇒ Doublement tous les ans
- 1 000 000 000/puce en 2000
 - ⇒ doublement tous les 18 mois



La « loi » de Moore en 2014



Ressorts sous-jacents ?

« Pas de physique » !!!

La miniaturisation fait gagner sur tous les tableaux (vitesse & conso)

L'architecture (processeurs multi-cœurs) peut prendre le relais quand on bute sur l'interconnexion

Mais l'après 2025 est incertain.

- diam. 12" ou +
- > 1 milliards transistors/puce
- > 100 milliards transistor/wafer

Autres « butées »:

→? Besoins supérieurs

à puissance de calcul du **cerveau humain** ?

→ « **Bigdata** »

ne nécessite pas d'immense puissance par chip

La question des réseaux et data prend le dessus ?

(et sa sécurité ? Wikileaks etc.)

→ Risques de **concentration industrielle**

(crise des disques durs en 2011 / inondation Thaïlande)

Cours 1 : LE NUMERIQUE, LE BINAIRE, LE HARDWARE (DE BASE)

→ Les représentations binaires des entiers

Binaire, Hexadécimal, Décimal [MAITRISER LES CONVERSIONS](#)

→ Les « grands nombres » / grands volumes et flux de données

→ Le code ASCII (source d'exercices...)

→ Des circuits électriques élémentaires font « NOR ou NAND »

→ Technologies :

→ Cascadabilité (fan-out), marges de tension, délais

→ TTL : « entrées tirées vers le haut », rapide, historique, énergivore

→ CMOS : FET, grille, conso ~0 en continu, lent en chip unique

→ La pacification : le 'collecteur ouvert', le « Tri-state »

→ $237_d = \% \%_n = #####_b$

→ 100 Goctet → temps de transfert à 5 Mo/s = ?

→ Reconnaître des sous-ensembles de caractères avec 1 à 5 portes (NAND, NOR).
(Cours 1 et Cours 2)

→ Sortie TTL → entrée CMOS 12V... je sais faire
... sortie CMOS 3V entrée TTL, je sais faire
... ampli-op +/- 15V → TTL je sais faire..

→ Puisqu'un délai ~10 ns, combien de portes en boucle pour osciller à 3 MHz ?

→ Un capteur fourni -0.1 mA à +0.3 mA seulement, puis-je le mettre direct sur une
entrée TTL ? TTL LS ? CMOS ?